

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0035

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: July 29, 2003

Art Unit: Unassigned

Title: FERROELECTRIC MEMORY DEVICE COMPRISING EXTENDED
MEMORY UNIT

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

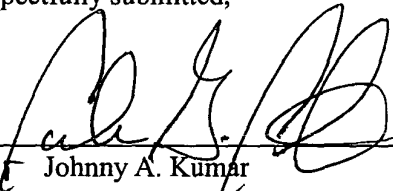
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0075777 filed December 2, 2002

Respectfully submitted,

Date: July 29, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By  31,298
For Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633

**KOREAN INTELLECTUAL
PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

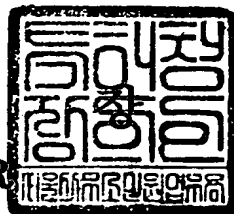
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 5월 05일 21일

특히 청

COMMISSIONER





1020020075777

출력 일자: 2003/5/22

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002. 12. 02
【국제특허분류】	H01L
【발명의 명칭】	확장 메모리 부를 구비한 강유전체 메모리 장치
【발명의 영문명칭】	Ferroelectric Memory Device Comprising Extended Memory Region
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)



1020020075777

출력 일자: 2003/5/22

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 39 면 39,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 19 항 717,000 원

【합계】 785,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 의한 확장 메모리 부를 구비한 강유전체 메모리 장치는 메인 비트라인 풀업 제어부와 칼럼 선택 제어부의 사이에 구비된 메인 비트라인, 및 상기 메인 비트라인과 연결되며 복수개의 단위 셀이 연결된 복수개의 서브 비트라인으로 계층화된 비트라인을 구비한 셀 어레이 블록; 상기 칼럼 선택 제어부와 연결되는 데이터버스부; 상기 데이터버스부와 연결된 센스앰프 어레이를 포함하는 입출력 회로부; 상기 셀 어레이 블록에 포함된 상기 메인 비트라인을 공유하며 상기 셀 어레이 블록과는 별도로 제어할 수 있는 복수개의 단위 셀을 포함하는 확장 메모리 부; 및 외부 제어신호를 입력받아 상기 확장 메모리 부를 제어하는 확장 메모리 제어부를 포함한다.

【대표도】

도 4

【명세서】

【발명의 명칭】

확장 메모리 부를 구비한 강유전체 메모리 장치{Ferroelectric Memory Device
Comprising Extended Memory Region}

【도면의 간단한 설명】

도 1은 강유전체 커패시터에 제공되는 전압과 전하량의 관계를 나타내는 히스테리시스 곡선.

도 2는 강유전체 메모리 장치의 단위 셀 구성도.

도 3은 강유전체 메모리 장치의 단위 셀에서의 리드, 라이트 동작을 나타내는 타이밍도.

도 4는 본 발명의 일실시예에 의한 확장 메모리 부를 구비한 강유전체 메모리 장치의 구성을 나타내는 블록도.

도 5는 본 발명의 일실시예에 의한 메인 비트라인 풀업 제어부의 회로도.

도 6은 본 발명의 일실시예에 의한 칼럼 선택 제어부의 회로도.

도 7은 본 발명의 일실시예에 의한 서브 셀 블록의 회로도.

도 8은 본 발명의 일실시예에 의한 서브 셀 블록의 리드 라이트 타이밍도.

도 9내지 도 16은 본 발명에 있어서 다양한 구성의 확장 메모리 부가 포함된 셀 어레이 블록의 구성도.

도 17은 본 발명에 있어서 리던던시 셀 영역과 확장 셀 영역을 모두 포함하는 확장 메모리 부의 구성을 나타내는 블록도.

도 18은 본 발명에 있어서 레지스터를 이용하여 확장 메모리 부를 제어하는 실시예를 나타내는 블록도.

도 19는 본 발명의 일실시예에 의한 레지스터의 구성도.

도 20은 본 발명에 있어서 레지스터를 프로그램하고 프로그램 결과를 리드하는 과정을 나타낸 타이밍도.

도 21은 본 발명의 일실시예에 의한 확장 메모리 부를 구비한 강유전체 메모리 장치의 구성을 나타내는 블록도.

도 22 내지 도 24는 본 발명의 일실시예에 의한 ECC 제어부의 동작 설명도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 강유전체 메모리 장치(Ferroelectric Memory Device)에 관한 것으로서 특히 종래의 메모리 셀에는 기록할 수 없는 디바이스 정보 등과 같은 부가적인 정보를 저장할 수 있는 확장 메모리 부를 구비한 강유전체 메모리 장치에 관한 것이다.

<17> 일반적으로 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 DRAM(Dynamic Random Access Memory) 정도의 데이터처리 속도를 갖고 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억소자로 주목받고 있다.

<18> FeRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는 것이다.

- <19> 도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 것이다. 도1에서와 같이 전계에 의해 유기된 분극은 전계를 제거하더라도 잔류 분극 또는 자발 분극의 존재로 인하여 소멸되지 않고 일정량 d, a 상태를 유지하고 있는 것을 알 수 있다. 강유전체 메모리 셀은 d, a 상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.
- <20> 도 2는 강유전체 메모리의 단위 셀을 나타낸 것이다. 도2에 도시된 바와 같이 일방향으로 비트라인 BL이 형성되고, 비트라인과 교차하는 방향으로 워드라인 WL이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인 PL이 형성되고, 게이트는 워드라인에 연결되고 소스는 비트라인에 연결되도록 트랜지스터 T1이 형성되고 두 단자 중 제1 단자가 트랜지스터 T1의 드레인에 연결되고 제2 단자는 플레이트 라인에 연결되도록 강유전체 캐패시터 FC1이 형성된다.
- <21> 이와 같은 강유전체 메모리 소자의 데이터 입출력 동작은 다음과 같다. 도3a는 강유전체 메모리 소자의 라이트 동작을 나타내는 타이밍도이고, 도3b는 리드 모드 동작을 나타내는 타이밍도이다.
- <22> 도 3a에 도시된 라이트 동작을 설명하면, 외부에서 인가되는 칩 인에이블 신호 CSBpad가 하이에서 로우로 활성화되고, 동시에 라이트 인에이블 신호 WEBpad를 하이에서 로우로 인가하면 라이트 모드가 시작된다. 이어 라이트 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 "로우"에서 "하이"로 천이되어 셀이 선택된다.
- <23> 선택된 셀에 로직값 "1"을 쓰기 위해서는 비트라인에 "하이" 신호를 인가하고 플레이트 라인에는 "로우" 신호를 인가하고, 셀에 로직값 "0"을 쓰기 위해서는 비트라인에 "로우" 신호를 인가하며 플레이트 라인에는 "하이" 신호를 인가한다.

- <24> 다음에는 도 3b에 도시된 리드 동작을 설명한다. 외부에서 칩 인에이블 신호 CSBpad를 "하이"에서 "로우"로 활성화 시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이즈 신호에 의해 "로우" 전압으로 등전위가 된다.
- <25> 그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 "로우" 신호가 "하이"신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 "하이" 신호를 인가하여 강유전체 메모리에 저장된 로직값 "1"에 상응하는 데이터 Qs를 파괴한다. 만약 강유전체 메모리에 로직값 "0"이 저장되어 있다면 그에 상응하는 데이터 Qns는 파괴되지 않는다.
- <26> 이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 "1" 또는 "0"을 감지하게 된다. 즉 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경된 경우에 해당하고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 것에 해당한다.
- <27> 따라서, 일정시간이 경과한 후에 센스앰프가 인에이블 되면 데이터가 파괴된 경우 증폭되어 로직값 "1"을 출력하고, 데이터가 파괴되지 않은 경우 증폭되어 로직값 "0"을 출력한다. 이와 같이, 센스 앰프에서 데이터를 증폭한 후에는 원래의 데이터를 복원하여야 하므로 해당 워드라인에 "하이" 신호를 인가한 상태에서 플레이트 라인을 "하이"에서 "로우"로 비활성화시킨다.
- <28> 종래의 메모리 장치는 디바이스 아이디, 제조회사 코드, 및 보안 코드 등과 같은 정보를 저장할 수 있는 부가적인 기억 영역을 가지고 있지 않았다. 따라서 부가적인 정보를 저장하기 위해서 메모리 외부의 기억 공간을 할당해야 하는 문제점이 있었다.

<29> 또한 종래의 메모리 장치에서는 메모리 장치를 시스템에 장착하여 사용하는 도중에 발생하는 페일 셀에 대한 구제를 위해서 시스템에 ECC(Error Correcting Circuit) 장치를 설치한다. 시스템에서는 페일 셀을 사용하지 못하게 하거나 메모리 장치의 외부에 페일 셀을 대체하는 별도의 기억 영역을 마련해야 하는 문제가 발생한다. 이때 페일 셀에 대한 모든 처리를 시스템에서 수행함으로써 전체적인 동작 성능이 저하되는 문제가 있었다.

【발명이 이루고자 하는 기술적 과제】

<30> 본 발명에서는 위와 같은 종래 기술의 문제점을 해결하고자 강유전체 메모리 장치 내부에 확장 메모리 영역을 구비한다. 본 발명에서는 확장 메모리 부의 구성을 메인 셀 어레이 블록의 구성과 기본적으로 동일하게 한다. 따라서 확장 메모리 부를 제어하는 경우에 종래의 제어 회로를 그대로 이용할 수 있으며, 특수한 기능을 위해서만 별도의 제어 회로를 배치함으로써 칩의 레이아웃 크기가 과도하게 증가하지 않도록 한다.

<31> 또한, 본 발명에서는 ECC(Error Correcting Circuit) 제어부를 메모리 장치에 내장하고 ECC 제어부와 확장 메모리 부를 유기적으로 연결하여 사용함으로써, 메모리 장치를 시스템에 장착하여 사용하는 도중에 발생하는 페일 셀에 대한 구제를 수행하도록 한다.

【발명의 구성 및 작용】

<32> 본 발명에 의한 확장 메모리 부를 구비한 강유전체 메모리 장치는 메인 비트라인 풀업 제어부와 칼럼 선택 제어부의 사이에 구비된 메인 비트라인, 및 상기 메인 비트라인과 연결되며 복수개의 단위 셀이 연결된 복수개의 서브 비트라인으로 계층화된 비트라인을 구비한 셀 어레이 블록; 상기 칼럼 선택 제어부와 연결되는 데이터버스부; 상기 데

이터버스부와 연결된 센스앰프 어레이를 포함하는 입출력 회로부; 상기 셀 어레이 블록에 포함된 상기 메인 비트라인을 공유하며 상기 셀 어레이 블록과는 별도로 제어할 수 있는 복수개의 단위 셀을 포함하는 확장 메모리 부; 및 외부 제어신호를 입력받아 상기 확장 메모리 부를 제어하는 확장 메모리 제어부를 포함한다.

<33> 이하에서는 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명한다.

<34> 도 4는 본 발명에 의한 확장 메모리 부를 구비한 강유전체 메모리 장치의 구성을 나타내는 블록도이다.

<35> 본 발명에 의한 강유전체 메모리 장치는 크게 셀 영역(1), 데이터버스부(40), 입출력 제어 영역(2), 및 확장 메모리 제어부(200)로 구분된다.

<36> 셀 영역(1)에는 메인 비트라인 풀업 제어부(20), 셀 어레이 블록(10), 확장 메모리 부(100), 및 칼럼 선택 제어부(30)가 포함된다. 본 발명에서는 비트라인을 메인 비트라인과 메인 비트라인과 연결된 복수개의 서브 비트라인으로 계층화한다. 단위 셀들은 서브 비트라인에 연결된다. 각각의 서브 비트라인은 메인 비트라인과 스위치를 통하여 연결된다. 특정 셀에 접근하는 경우에는 해당 셀을 포함한 서브 비트라인만이 메인 비트라인에 연결된다. 메인 비트라인 풀업제어부(10)는 메인 비트라인을 양의 전압으로 풀업시키는 역할을 한다. 셀 어레이 블록(10)에는 복수개의 서브 셀 블록이 포함된다. 확장 메모리 부(100)는 기본적으로 서브 셀 블록과 동일하게 구성된다. 칼럼 선택 제어부(30)는 메인 비트라인과 데이터버스부(40)에 포함된 데이터버스 라인과 연결한다.

<37> 입출력 제어 영역(2)은 공통 센스 앰프 어레이(50), 리드라이트 제어부(60), 및 데이터 입출력 버퍼(70)를 포함한다. 리드 동작에서 셀 어레이 블록(10)에 저장된 데이터

는 센스 앰프 어레이(50)를 경유하여 데이터 입출력 버퍼(70)로 출력된다. 센스 앰프 어레이(50)는 리드한 데이터를 증폭하여 이를 동일 셀에 저장함으로써 리드과정에서 파괴된 셀 데이터를 복구한다. 라이트 동작에서 센스 앰프 어레이(50)는 외부에서 입력된 데이터를 증폭하여 셀에 제공한다.

<38> 확장 메모리 제어부(200)는 외부에서 입력된 명령을 디코딩하여 확장 메모리 부(100)를 제어한다.

<39> 도 5는 메인 비트라인 폴업 제어부(20)의 상세 구성도이다. 메인 비트라인 폴업 제어부(20)는 프리차지 동작에서 제어신호(MBPUC)에 응답하여 메인 비트라인을 $V_{pp}(V_{cc})$ 로 폴업한다.

<40> 도 6은 칼럼 선택 제어부(30)의 상세 구성도이다. 칼럼 선택 제어부(30)는 리드 및 라이트 동작에서 제어신호(CSN, CSP)에 응답하여 메인 비트라인과 데이터버스 라인을 연결한다.

<41> 도 7은 본 발명에 의한 강유전체 메모리 장치의 셀 어레이 블록(10)에 포함된 서브 셀 블록의 구성을 나타낸다. 서브 셀 블록의 구성 방식은 플레이트 라인(PL<n>)을 배치하는 방식에 따라서 두 가지로 구분된다. 첫째는 각각의 단위 셀마다 하나의 플레이트 라인(PL<n>)을 배치하는 방식이고, 둘째는 두개의 단위 셀마다 하나의 플레이트 라인(PL<n>)을 배치하는 방식이다. 전자의 경우를 오픈 비트라인(Open BL) 방식의 구성이라 하고(도7a), 후자의 경우를 폴디드 비트라인(Folded BL) 방식이라 한다(도7b).

<42> 셀의 개수가 동일할 때 오픈 비트라인 방식에서의 하나의 메인 비트라인(MBL)은 폴디드 비트라인 방식에서의 두개의 메인 비트라인(MBL)에 대응한다. 즉 도7b 전체는 도7a

의 우측 또는 좌측 반에 대응한다(기호 참조). 이를 제외하고 구체적인 동작은 양자가 동일하므로 이하에서는 오픈 비트라인 방식의 구성을 기준으로 설명한다.

<43> 서브 셀 블록은 각각 워드라인(WL<n>) 및 플레이트 라인(PL<n>)에 연결된 복수개의 단위 메모리 셀에 공통으로 연결된 서브 비트라인(SBL), 게이트에 서브 비트라인(SBL)의 제1단이 연결되고 드레인이 메인 비트라인(MBL)에 연결된 전류 조절용 NMOS 트랜지스터(N1), 게이트에 제어신호(MBSW)가 연결되고 드레인이 전류 조절용 NMOS 트랜지스터(N1)의 소스에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터(N2), 게이트에 제어신호(SBPD)가 연결되고 드레인이 서브 비트라인(SBL)의 제2단에 연결되고 소스가 접지되어 있는 NMOS 트랜지스터(N3), 게이트에 제어신호(SBSW2)가 연결되고 소스가 서브 비트라인(SBL)의 제2단에 연결되고 드레인이 제어신호(SBPU)에 연결되는 NMOS 트랜지스터(N4); 및 게이트에 제어신호(SBSW1)가 연결되고 드레인이 메인 비트라인(MBL)에 연결되고 소스가 서브 비트라인(SBL)의 제2단에 연결되는 NMOS 트랜지스터(N5)로 구성된다.

<44> 하나의 메인 비트라인(MBL)에는 복수개의 서브 비트라인(SBL)이 연결된다. 셀에 접근하는 경우에는 해당 셀이 연결된 서브 비트라인(SBL)만 메인 비트라인(MBL)에 연결되므로 메인 비트라인(MBL) 구동 부하를 하나의 서브 비트라인(SBL)의 구동 부하 수준으로 줄일 수 있다. 서브 비트라인(SBL)을 메인 비트라인(MBL)에 연결하는 것은 제어신호 SBSW1에 의해 수행된다.

<45> 풀다운 NMOS 트랜지스터(N3)는 제어신호 SBPD가 활성화되면 서브 비트라인(SBL)의 전위를 그라운드 레벨로 조정한다.

<46> 제어신호 SBPU는 서브 비트라인(SBL)에 공급할 전원 전압을 조정하는 신호이다. 고 전압이 필요한 경우 Vcc 전압보다 높은 전압을 생성하여 공급한다.

- <47> SBSW1, SBSW2는 SBPU와 서브 비트라인(SBL) 사이의 신호 흐름을 조정하는 제어 신호이다. 서브 비트라인(SBL)에는 복수개의 단위 셀들이 연결되어 있다.
- <48> 서브 비트라인(SBL)은 NMOS 트랜지스터(N1)의 게이트에 연결되어 메인 비트라인(MBL)의 센싱 전압을 조절한다. 서브 셀 블록의 구체적인 동작 방식에 대해서는 후술하기로 한다.
- <49> 도 8a는 본 발명에 의한 강유전체 메모리 장치에 사용된 서브 셀 블록에서의 라이트 동작을 나타낸다.
- <50> 어드레스가 입력되고 라이트 인에이블 신호가 활성화 되면(t_1) 워드라인(WL) 및 플레이트 라인(PL)이 활성화 되고, 셀에 저장되어 있던 전하가 비트라인으로 이동하여 셀의 데이터를 감지하게 된다(t_2 , t_3).
- <51> 셀에 기록된 데이터의 레벨을 감지하는 원리는 다음과 같다. 메인 비트라인은 저항성 트랜지스터(도시되지 않음)를 경유하여 양의 전원에 연결된다. 셀의 데이터가 "하이"이면 서브 비트라인(SBL)의 전압도 "하이" 레벨이 되므로 NMOS 트랜지스터(N1)에 흐르는 전류가 커지므로 저항성 트랜지스터(도시되지 않음)에서의 전압강하가 크게 되므로 레퍼런스 레벨보다 메인 비트라인(MBL)의 전압이 낮아진다. 반대로 셀의 데이터가 "로우"이면 서브 비트라인(SBL)도 "로우" 레벨이 되므로 NMOS 트랜지스터(N1)에 흐르는 전류가 작아져 저항성 트랜지스터(도시되지 않음)에서의 전압강하가 작게 되므로 레퍼런스 전압보다 메인 비트라인(10)의 전압이 높아진다. 이리하여 셀에 저장된 데이터를 감지할 수 있다.

- <52> t4 구간은 셀프 부스팅을 위한 준비 기간이다. SBPU가 "로우"로 유지되는 상태에서 SBSW2를 "하이"로 만들면 트랜지스터(N4)의 게이트와 소스 또는 드레인 사이의 기생 캐패시터에 전하가 충전된다. t5 구간에서 SBPU를 "하이"로 하면 상기 충전된 전하에 의한 전위차만큼 SBSW2, 서브 비트라인(SBL), 및 워드라인(WL)의 전위가 부스팅된다. t5 구간에서는 서브 비트라인(SBL)이 "하이"이고 플레이트 라인(PL)이 "로우"이므로 셀에 "1"이 자동적으로 저장된다.
- <53> 만일 입출력 버퍼를 통해 메인 비트라인(MBL)에 제공된 값이 "0"인 경우에 SBSW1을 활성화하고 SBSW2를 비활성화한 후, 플레이트 라인(PL)을 "하이"로 하면 서브 비트라인(SBL)의 전위가 "로우"가 되므로 셀에 저장되어 있던 전하가 서브 비트라인(SBL)으로 이동하면서 셀에 "0"이 기록된다(t6). 반대로 메인 비트라인(MBL)에 제공된 값이 "1"인 경우에는 플레이트 라인(PL) 및 서브 비트라인(SBL)의 전압이 모두 "하이"가 되므로 t5 구간에 저장되어 있던 "1"이 유지된다.
- <54> 도 8b는 본 발명에 의한 강유전체 메모리 장치에 사용된 서브 셀 블록에서의 리드 동작을 나타낸다.
- <55> t2, t3 구간은 감지 구간이며 t5 구간은 데이터 "1"을 쓰는 구간이다. t6 구간은 데이터 "0"을 복구하는 구간이다.
- <56> t2 내지 t4 구간의 동작은 도9에 대한 설명과 동일하다. 다만 리드 동작 후에는 리드 동작에서 파괴된 셀의 데이터를 복구하기 위한 복구 동작이 수행되어야 하는데 t5, t6 구간이 복구 동작을 수행한다. t5 구간에서는 원래 저장되어 있던 값이 "1"인지 "0"인

지에 관계없이 "1"을 복구 한다. "0"은 t6 구간에서 복구된다. 복구 동작은 쓰기 동작과 동일하므로 설명을 생략한다.

<57> 도 9는 본 발명에 의한 확장 메모리 부(100)의 제1 실시예의 구성도이다. 본 실시예에서 확장 메모리 부(100)는 서브 셀 블록(21)과 동일한 구성을 취하며 전체 단위 셀을 메모리 영역으로 사용한다.

<58> 도 10은 본 발명의 의한 확장 메모리 부(100)의 제1 실시예의 상세 회로도이다. 본 실시예의 확장 메모리 부는 셀 어레이 블록(20)에 포함된 서브 셀 블록(21)과 동일하게 구성된다. 서브 셀 블록(21)이 오픈 비트라인 방식인 경우에는 확장 메모리 부(100)도 오픈 비트라인 방식으로 구성되고(도 10a) 서브 셀 블록(21)이 폴디드 비트라인 방식인 경우에는 확장 메모리 부(100)도 폴디드 비트라인 방식으로 구성된다(도 10b). 확장 메모리 부(100)는 도10에 도시된 블록을 복수개 포함할 수 있다.

<59> 도 11은 본 발명에 의한 확장 메모리 부(100)의 제2 실시예의 구성도이다. 본 실시예에 의한 확장 메모리 부(100)는 서브 셀 블록(21)의 구성과 동일하다. 다만 확장 셀 영역(110)에 포함된 단위 셀의 개수가 서브 셀 블록(21)에 포함된 단위 셀의 개수보다 작다. 부족한 개수의 셀 대신에는 이에 대응하는 용량을 갖는 더미 커패시터(120)를 연결함으로써 구동 특성이 서브 셀 블록(21)과 동일하도록 한다.

<60> 도 12는 본 발명에 의한 확장 메모리 부(100)의 제2 실시예의 상세 회로도이다. 서브 셀 블록(21)이 오픈 비트라인 방식인 경우에는 확장 메모리 부(110)도 오픈 비트라인 방식으로 구성되고(도12a) 서브 셀 블록(21)이 폴디드 비트라인 방식인 경우에는 확장 메모리 부(100)도 폴디드 비트라인 방식으로 구성된다(도12b).

- <61> 도 13은 본 발명에 의한 확장 메모리 부(100)의 제3 실시예의 구성도이다. 본 실시예에서는 확장 메모리 부(100)에 리던던시 처리를 위한 리던던시 셀 영역(130)과 확장 셀 영역(110)을 함께 포함된다.
- <62> 도 14는 본 발명에 의한 확장 메모리 부(100)의 제3 실시예의 상세 회로도이다. 서브 셀 블록(21)이 오픈 비트라인 방식인 경우에는 확장 메모리 부(100)도 오픈 비트라인 방식으로 구성되고(도14a) 서브 셀 블록(21)이 폴디드 비트라인 방식인 경우에는 확장 메모리 부(100)도 폴디드 비트라인 방식으로 구성된다(도14b).
- <63> 도 15는 본 발명에 의한 확장 메모리 부(100)의 제4 실시예의 상세 회로도이다. 본 실시예는 제2 실시예와 제3 실시예가 혼합된 형식이다. 일부의 단위 셀들은 리던던시 셀 영역(130)에 할당하고, 일부 단위 셀들은 확장 셀 영역(110)에 할당하고, 나머지 셀들은 더미 커패시터(120)로 대체한다.
- <64> 도 16은 본 발명에 의한 확장 메모리 부의 제4 실시예의 상세 회로도이다. 서브 셀 블록(21)이 오픈 비트라인 방식인 경우에는 확장 메모리 부(100)도 오픈 비트라인 방식으로 구성되고(도16a) 서브 셀 블록(21)이 폴디드 비트라인 방식인 경우에는 확장 메모리 부(100)도 폴디드 비트라인 방식으로 구성된다(도16b).
- <65> 도 17은 확장 메모리 부(100)에 리던던시 셀 영역(130)과 확장 셀 영역(110)이 포함된 경우 확장 메모리 부(100)의 제어 방법을 나타내는 블록도이다. 본 구성은 도 13 내지 도 16에 도시된 실시예의 경우에 적용된다. 이하에서는 도 14a를 참조하여 설명한다.

- <66> 도 14a에서 리턴던시 셀 영역(130) 및 확장 셀 영역(110)에는 단위 셀들만이 포함된다. 따라서 플레이트 라인, 워드라인을 제외한 기타의 제어신호(도 14a의 MBSW, SBPD, SBPU, SBSW2, SBSW1)를 제어하는 작업은 두 영역 중 어느 한 영역에라도 접근하는 경우에 반드시 수행되어야 한다. 그러나 각각의 플레이트 라인 및 워드라인에 대한 작업은 해당 영역별로 수행된다.
- <67> 리턴던시 셀 영역(130)에 접근하는 경우에는 리턴던시 제어부(3)는 제어신호 RED_EN을 활성화한다. 확장 셀 영역(110)에 접근하는 경우에는 확장 메모리 제어부(200)는 제어신호 EXT_EN을 활성화한다. 제어신호 RED_EN이 활성화되면 리턴던시 디코더(4)가 작동하여 리턴던시 셀 영역(130)을 제어한다. 제어신호 EXT_EN이 활성화 되면 확장 메모리 디코더(310)가 작동하여 확장 셀 영역(110)을 제어한다. 서브 비트라인 제어부(5)는 제어신호 RED_EN 또는 제어신호 EXT_EN이 활성화된 경우에 작동하여 서브 비트라인 제어 스위치(140)를 제어한다. 서브 비트라인 제어 스위치(140)는 도 14a의 제어신호 MBSW, SBPD, SBPU, SBSW2, 및 SBSW1의 활성화 여부를 제어한다.
- <68> 도 18은 본 발명에 있어서 레지스터(500)를 이용하여 확장 메모리 제어부(200)를 제어하는 실시예를 나타내는 블록도이다.
- <69> 본 실시예에서는 프로그램 명령 디코더(300), 레지스터 제어부(400), 레지스터(500), 파워업 회로(600), 및 제어 버퍼 블록(800)이 추가로 포함된다.
- <70> 레지스터(500)는 강유전체 커패시터를 포함하여 외부에서 입력된 데이터를 전원이 없는 상태에서도 유지할 수 있으며 추후에 저장된 데이터를 읽을 수 있다. 레지스터(500)의 구체적인 구성에 대해서는 후술한다.

- <71> 프로그램 명령 디코더(300)는 외부의 명령신호를 디코딩하여 레지스터를 프로그램 하기 위한 명령인지 여부를 파악한다. 레지스터 제어부(400)는 프로그램 명령 디코더 (300)의 출력이 활성화된 경우에 레지스터(500) 내부에 소정의 데이터를 저장하는 프로그램 동작을 수행한다. 메모리 장치를 실제 시스템에 장착하여 사용하는 경우에 시스템 의 전원이 켜지면 파워업 회로(600)에서 레지스터 제어부(400)를 제어한다. 레지스터 제어부(400)는 파워업 회로(600)에서 발생한 리셋 신호(RESET)가 활성화되면 레지스터 (500)에 저장된 데이터를 읽을 수 있도록 한다. 레지스터(500)를 프로그램함으로써 제어 신호(ACTIVE)의 활성화 여부를 제어할 수 있다.
- <72> 제어 버퍼 블록(700)에는 레지스터(500)에서 제공된 제어신호(ACTIVE) 및 외부 제어 패드에서 제공되는 외부 제어신호가 입력된다. 본 실시예에서 제어 버퍼 블록(700)은 제어신호(ACTIVE)가 활성화 된 경우에 외부 제어신호를 이용하여 확장 메모리 제어부 (200)를 제어한다. 따라서 제어신호(ACTIVE)를 비활성화하면 외부 제어 패드에 어떠한 신호가 입력되더라도 확장 메모리 부(100)에 접근할 수 없게 된다.
- <73> 또 다른 실시예에서는 개별적으로 정보를 저장할 수 있는 레지스터(500)를 복수개 사용함으로써 임의로 선택 가능한 복수개의 비트를 갖는 제어신호(ACTIVE)를 생성할 수 있다. 제어 버퍼 블록(700)은 제어신호(ACTIVE)를 암호코드로 사용하여 외부 제어패드로 부터 입력되는 외부 제어신호가 암호코드에 부합하면 외부 제어신호를 디코딩하여 외부 제어신호에 대응하는 제어신호를 생성하여 확장 메모리 제어부(200)에 제공한다. 그러나 외부 제어신호가 암호코드에 부합하지 않는 경우에는 확장 메모리 제어부(200)를 비활성 화하여 외부 제어신호로써 확장 메모리 부(100)를 제어할 수 없도록 한다.

- <74> 도 19는 본 발명에 의한 강유전체 메모리 장치에 포함된 레지스터(500)의 회로도이다. 레지스터(500)는 크게 제1 증폭부(510), 입력부(520), 저장부(530), 및 제2 증폭부(540)로 구성된다.
- <75> 제1 증폭부(510)는 게이트에 제1 제어신호(ENP)가 입력되고 소스가 양의 전원에 연결된 PMOS 트랜지스터(P1), 게이트가 제1 노드와 연결되고 소스가 PMOS 트랜지스터(P1)의 드레인과 연결되며 드레인이 제2 노드에 연결된 PMOS 트랜지스터(P2), 및 게이트가 제2 노드와 연결되고 소스가 PMOS 트랜지스터(P1)의 드레인과 연결되며 드레인이 제1 노드에 연결된 PMOS 트랜지스터(P3)로 구성된다.
- <76> 제2 증폭부(540)는 게이트가 제1 노드와 연결되고 드레인이 제2 노드와 연결된 NMOS 트랜지스터(N3), 게이트가 제2 노드와 연결되고 드레인이 제1 노드와 연결된 NMOS 트랜지스터(N4), 및 게이트에 제2 제어신호(ENN)가 입력되고 드레인이 NMOS 트랜지스터(N3)의 소스 및 NMOS 트랜지스터(N4)의 소스와 연결되며 소스는 그라운드와 연결된 NMOS 트랜지스터(N5)로 구성된다.
- <77> 입력부(520)는 게이트에 데이터 신호(SET/RESET)와 제3 제어신호(ENW)를 NAND 연산한 결과가 입력되고 소스에는 양의 전원이 연결되며 드레인에는 제2 노드가 연결된 PMOS 트랜지스터(P4), 게이트에 데이터 신호(SET/RESET)와 제3 제어신호(ENW)를 AND 연산한 결과가 입력되고 소스에는 그라운드가 연결되며 드레인에는 제1 노드가 연결된 NMOS 트랜지스터(N1), 게이트에 데이터 신호(SET/RESET)를 인버팅한 신호와 제3 제어신호(ENW)를 AND 연산한 결과가 입력되고 소스에는 그라운드가 연결되며 드레인에는 제2 노드가 연결된 NMOS 트랜지스터(N2), 및 게이트에 데이터 신호(SET/RESET)를 인버팅한 신호와

제3 제어신호(ENW)를 NAND 연산한 결과가 입력되고 소스에는 양의 전원이 연결되며 드레인에는 제1 노드가 연결된 PMOS 트랜지스터(P5)로 구성된다.

<78> 저장부는 제4 제어신호(CPL) 라인과 제1 노드의 사이에 연결된 강유전체 커패시터(FC1), 제4 제어신호(CPL) 라인과 제2 노드의 사이에 연결된 강유전체 커패시터(FC2), 제1 노드와 그라운드의 사이에 연결된 강유전체 커패시터(FC3), 및 제2 노드와 그라운드의 사이에 연결된 강유전체 커패시터(FC4)로 구성된다.

<79> 제1 증폭부(510)와 제2 증폭부(540)는 제어신호 ENP가 "로우"이고 제어신호 ENN이 "하이"일 때, 제1 노드와 제2 노드의 전압차에 따라서 이들을 각각 VCC 및 VSS(또는 그 반대)로 고정시키는 역할을 한다. 제어신호 ENP가 "하이"이고 제어신호 "ENN"이 로우이면 레지스터(500)는 전원으로부터 차단된다.

<80> 입력부(520)는 제어신호 ENW가 "하이"인 경우에 데이터 신호(SET/RESET)가 "하이"이면 제1 노드를 "로우", 제2 노드를 "하이"로 만들고, 데이터 신호(SET/RESET)가 "로우"이면 제1 노드를 "하이", 제2 노드를 "로우"로 만든다. 제어신호 ENW가 "로우"인 경우에는 제1 노드와 제2 노드는 데이터 신호(SET/RESET)로부터 차단된다.

<81> 저장부(530)는 제어신호 CPL을 조절하여 제1 노드와 제2 노드에 제공된 데이터를 강유전체 커패시터(FC1, FC2, FC3, FC4)에 저장한다.

<82> 출력신호(ACTIVE)는 제2 노드에서 제공된다. 레지스터(500)의 구체적인 동작에 대해서는 이하에서 설명한다.

<83> 도 20a는 메모리 장치를 프로그램하는 과정에서 레지스터(500)에 데이터를 라이트하는 경우의 타이밍도를 나타낸다.

- <84> t2 구간에서 프로그램 사이클이 시작되면 레지스터 제어신호(Register Control)가 활성화된다. 레지스터 제어신호(Register Control)가 활성화 되면 제어신호(ENW)가 활성화되어 데이터 신호(SET/RESET)가 제1 노드와 제2 노드에 제공된다. CPL이 "하이"가 되면 제1 노드와 제2 노드의 전압에 따라서 강유전체 커패시터(FC1 내지 FC4)에 신호가 저장된다. 예를 들어 제1 노드가 "로우"이고 제2 노드가 "하이"인 경우라면 FC1과 FC4에 데이터가 전하가 저장된다.
- <85> t3 구간에서 제어신호(ENW)가 "로우"가 되면 데이터 신호(SET/RESET)가 제1 노드와 제2 노드에서 분리된다. 제1 노드와 제2 노드의 전압은 제1 증폭기(510)와 제2 증폭기(540)에 의해 증폭되어 유지된다.
- <86> t4 구간에서 제어신호(CPL)이 로우가 되면 FC1과 FC3 사이, FC2와 FC4 사이에서 각각 전하의 재분배가 일어난다. 이때 제1 노드와 제2 노드의 전압에도 변동이 생긴다. 위의 예에서 제2 노드의 전압은 제1 노드의 전압보다 높은 수준이 된다. 강유전체 커패시터(FC1 내지 FC4)는 전원이 없는 상태에서도 저장된 전하를 유지한다.
- <87> 도 20b는 본 발명에 의한 레지스터(500)에 저장된 신호를 리드하는 동작에서의 타이밍도이다.
- <88> t1 구간에서 전원이 안정된 레벨에 도달하면 리셋(RESET) 신호가 발생한다. 리셋(RESET) 신호를 이용하여 제어신호 CPL을 "로우"로 하면 강유전체 커패시터(FC1 내지 FC4)에 저장된 전하에 의해 제1 노드와 제2 노드 사이에 전위차가 발생한다. 위의 예에서는 제2 노드의 전압이 제1 노드보다 높게 나타난다.

- <89> t2 구간에서 제어신호 ENN이 "하이", 제어신호 ENP가 "로우"로 천이하면 제1 증폭기(510) 및 제2 증폭기(540)가 활성화 되어 제1 노드와 제2 노드의 전압을 증폭하여 고정한다. 위의 예에서 제1 노드는 "로우"로 제2 노드는 "하이"로 고정된다.
- <90> t3 구간에서는 제어신호 CPL을 "로우"로 하여 강유전체 커패시터(FC1 내지 FC4)에 저장된 원래의 데이터를 복구한다.
- <91> 도 21은 본 발명에 의한 확장 메모리 영역을 구비한 강유전체 메모리 장치의 또 다른 실시예를 나타내는 블록도이다. 본 실시예는 도4에 개시된 실시예에 ECC 제어부(800)를 추가로 포함한다.
- <92> ECC 제어부(800)는 외부의 시스템(도시되지 않음)에서 제공되는 제어신호 ECC_ACT에 의해 활성화된다. ECC 제어부(800)는 메모리 장치를 시스템에 장착하여 사용하는 도중에 페일(fail) 셀이 발생하는 경우 확장 메모리 제어부(200)를 제어하여 페일 셀 및 페일 셀을 대체할 셀의 정보를 확장 메모리 부(100)에 기록함으로써 확장 메모리 부(100)에서 페일 셀에 대한 구제를 수행할 수 있도록 한다.
- <93> 리턴던시 셀 영역(130)에서 수행하는 리턴던시 처리는 메모리 장치를 사용하기 전에 이를 검사하는 과정에서 발견된 페일 셀에 대해서 리턴던시 디코더 프로그램 등의 과정을 거쳐 페일 셀에 해당하는 어드레스가 입력된 경우 리턴던시 셀 영역(130)에 포함된 셀로써 페일 셀을 대체하는 작업이다. 따라서 메모리를 시스템에 장착하여 사용하는 도중에 발생한 페일 셀에 대해서는 별도의 구제 수단이 필요하다. 이러한 기능을 ECC 제어부(800)가 수행한다. ECC 제어부(800)는 메모리 장치 내에 배치되어 확장 메모리

제어부(200), 확장 메모리 부(100)와 함께 페일 셀의 구제를 담당한다. ECC 제어부(800)의 동작에 관해서는 이하에서 설명한다.

<94> 도 22는 본 발명에 적용된 ECC 제어부(800)의 동작을 설명하기 위한 블록도이다.

ECC 제어부(800)는 외부에서 제어신호 ECC_ACT를 제공받는다. 시스템 제어부는 메모리 장치를 테스트하여 셀 어레이의 상태를 검사한다. 만약 페일 셀이 발견되면 페일 셀의 어드레스를 기억하여, 페일 셀에 접근하는 경우 ECC_ACT 신호를 활성화 한다. ECC_ACT 신호가 활성화되면 ECC 제어부(800)가 활성화되고, 페일 셀 대신에 확장 메모리 부(100)에 포함된 셀에 접근할 수 있도록 한다.

<95> 도 23은 페일 셀의 구제를 위한 확장 메모리 부(100)의 구성을 나타낸다.

<96> 확장 메모리 부(100)는 제1 확장 메모리 부(101)와 제2 확장 메모리 부(102)를 포함한다. 제2 확장 메모리 부(101)는 페일 셀을 대체하는 셀을 포함한다. 제1 확장 메모리 부(101)는 페일 셀의 어드레스와 이를 대체하는 셀의 어드레스를 기록한다. 도 24를 참조하여 ECC 제어부(800)의 동작에 대하여 설명한다.

<97> 도 24는 페일 셀의 구제시 ECC 제어부(800)의 동작을 나타낸다. ECC_ACT 신호가 활성화되면, ECC 제어부(800)는 제1 확장 메모리 부(101)를 참조하여 입력된 페일 셀의 어드레스에 대응하는 대체 셀의 어드레스를 얻는다. 다음에 ECC 제어부(800)는 페일 셀이 포함된 셀 어레이 블록(10)을 비활성화하고 대체 셀을 포함하는 제2 확장 메모리 부(102)를 활성화한다. 따라서 시스템 동작 중에 발견된 페일 셀에 대해서 리던던시 처리를 수행할 수 있다.

【발명의 효과】

- <98> 본 발명에 의한 메모리 장치에 포함된 확장 메모리 부에는 하드웨어 정보, 보안 정보 등의 부가 정보를 기록할 수 있다. 확장 메모리 부는 기본적으로 일반적인 셀 어레이와 동일한 구조를 취하므로 대부분의 제어 회로를 공유할 수 있으며 확장 메모리 부를 제어하는데 고유하게 필요한 일부 회로들만 추가하면 된다. 따라서 칩의 크기를 크게 증가시키지 않으면서 확장 메모리 부를 추가할 수 있다.
- <99> 또한 ECC 제어부를 메모리 내부에 내장하고 이를 확장 메모리 부와 연계하여 사용함으로써 메모리 장치를 시스템에 장착하여 사용하는 도중에 발생하는 페일 셀에 대해서 리던던시 처리를 수행할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

메인 비트라인 풀업 제어부와 칼럼 선택 제어부의 사이에 구비된 메인 비트라인,
및 상기 메인 비트라인과 연결되며 복수개의 단위 셀이 연결된 복수개의 서브 비트라인
으로 계층화된 비트라인을 구비한 셀 어레이 블록;

상기 칼럼 선택 제어부와 연결되는 데이터버스부;

상기 데이터버스부와 연결된 센스앰프 어레이를 포함하는 입출력 회로부;

상기 셀 어레이 블록에 포함된 상기 메인 비트라인을 공유하며 상기 셀 어레이 블
록과는 별도로 제어할 수 있는 복수개의 단위 셀을 포함하는 확장 메모리 부; 및

외부 제어신호를 입력받아 상기 확장 메모리 부를 제어하는 확장 메모리 제어부
를 포함하는 것을 특징으로 하는 확장 메모리 영역을 구비한 강유전체 메모리
장치.

【청구항 2】

제 1 항에 있어서, 상기 메인 비트라인 풀업 제어부는

게이트에 제어신호가 입력되고, 소스가 양의 전원에 연결되며, 드레인이 상기 메인
비트라인과 연결된 PMOS 트랜지스터임을 특징으로 하는 확장 메모리 영역을 구비한 강유
전체 메모리 장치.

【청구항 3】

제 1 항에 있어서, 상기 칼럼 선택 제어부는

게이트에 제어신호가 입력되고 양단에 각각 메인 비트라인과 데이터버스 라인이 연결된 스위치 장치임을 특징으로 하는 확장 메모리 영역을 구비한 강유전체 메모리 장치.

【청구항 4】

제 1 항에 있어서,

상기 셀 어레이 블록은 상기 각각의 서브 비트라인에 대응하는 복수개의 서브 셀 블록을 포함하고, 상기 서브 셀 블록은

게이트에 상기 서브 비트라인의 제1 단이 연결되고 드레인이 상기 메인 비트라인에 연결된 전류 조절용 제1 NMOS 트랜지스터;

게이트에 제3 제어신호가 연결되고 드레인이 상기 제1 NMOS 트랜지스터의 소스에 연결되고 소스가 접지되어 있는 제2 NMOS 트랜지스터;

게이트에 제4 제어신호가 연결되고 드레인이 상기 서브 비트라인의 제2 단에 연결되고 소스가 접지되어 있는 제3 NMOS 트랜지스터;

게이트에 제5 제어신호가 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되고 드레인이 제6 제어신호에 연결되는 제4 NMOS 트랜지스터; 및

게이트에 제7 제어신호가 연결되고 드레인이 상기 메인 비트라인에 연결되고 소스가 상기 서브 비트라인의 제2 단에 연결되는 제5 NMOS 트랜지스터

를 포함하는 것을 특징으로 하는 확장 메모리 영역을 구비한 강유전체 메모리 장치.

【청구항 5】

제 4 항에 있어서,

상기 확장 메모리 부는 상기 서브 셀 블록과 동일한 구조의 셀 블록을 포함하는 것을 특징으로 하는 확장 메모리 영역을 구비한 강유전체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 확장 메모리 부는 상기 셀 블록에 포함된 단위 셀의 일부는 상기 리턴던시 셀 영역으로 사용하고, 나머지 단위 셀은 확장 셀 영역으로 사용하는 것을 특징으로 하는 확장 메모리 영역을 구비한 강유전체 메모리 장치.

【청구항 7】

제 6 항에 있어서, 상기 확장 메모리 영역을 구비한 메모리 장치는

상기 리턴던시 셀 영역에 접근하는 경우에 상기 리턴던시 셀 영역에 포함된 워드 라인 및 플레이트 라인을 구동하는 리턴던시 디코더;

상기 확장 셀 영역에 접근하는 경우에 상기 확장 셀 영역에 포함된 워드라인 및 플레이트 라인을 구동하는 확장 메모리 디코더; 및

상기 리턴던시 셀 영역 또는 확장 셀 영역에 접근하는 경우 상기 제1 제어신호 내지 제7 제어신호의 활성화 여부를 제어하는 서브 비트라인 제어부

를 더 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 8】

제 4 항에 있어서,

상기 확장 메모리 부는 상기 서브 셀 블록과 동일한 구조의 셀 블록을 포함하되,

상기 셀 블록은 상기 서브 셀 블록에 포함된 단위 셀 보다 적은 개수의 단위 셀 및 상기 단위 셀 개수의 차이를 보상하는 용량을 갖는 커패시터를 포함하며, 상기 커패시터는 상기 셀 블록에 포함된 서브 비트라인과 그라운드 사이에 연결된 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 9】

제 8 항에 있어서,

상기 확장 메모리 부는 상기 셀 블록에 포함된 단위 셀의 일부를 상기 리턴던시 셀 영역으로 사용하고, 나머지 단위 셀을 확장 셀 영역으로 사용하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 10】

제 9 항에 있어서, 상기 확장 메모리 영역을 구비한 메모리 장치는

상기 리턴던시 셀 영역에 접근하고자 하는 경우에만 사용되며 상기 리턴던시 셀 영역에 포함된 워드라인 및 플레이트 라인을 구동하는 리턴던시 디코더;

상기 확장 셀 영역에 접근하고자 하는 경우에만 사용되면 확장 셀 영역에 포함된 워드라인 및 플레이트 라인을 구동하는 확장 메모리 디코더; 및

상기 확장 셀 영역 또는 상기 리턴던시 셀 영역에 접근하는 경우 상기 제1 제어신호 내지 제7 제어신호의 활성화 여부를 제어하는 서브 비트라인 제어부

를 더 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 11】

외부 명령신호에 응답하여 소정의 키 값을 생성하여 저장하고, 외부 제어신호가 상기 키 값에 정해진 소정의 조건을 충족하는 경우에 활성화되어 상기 외부 제어신호에 대응하는 확장 메모리 제어신호를 출력하며 전원이 없는 상태에서도 상기 저장된 키 값을 유지하는 제어부; 및

상기 확장 메모리 제어신호에 응답하여 소정의 데이터를 저장하는 복수개의 셀을 포함하고 상기 복수개의 셀은 종래의 비트라인을 공유하도록 배치된 확장 메모리 부를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 12】

제 11 항에 있어서, 상기 제어부는

상기 외부 명령신호를 디코딩하여 프로그램 명령 신호를 출력하는 프로그램 명령 디코더;

전원이 켜진 후 전원이 안정화되면 비활성화되는 리셋 신호를 출력하는 파워 업 회로;

상기 프로그램 명령 신호가 활성화되면 프로그램 과정을 제어하고 및 상기 리셋 신호가 비활성화되면 프로그램 결과를 읽는 과정을 제어하는 레지스터 제어신호를 출력하는 레지스터 제어부;

상기 레지스터 제어신호에 응답하여 외부에서 제공되는 데이터 신호에 대응하는 키 값을 저장하고 상기 저장된 키 값을 외부로 출력하며 상기 저장된 키 값을 전원이 없는 상태에서도 유지하는 레지스터; 및

상기 레지스터에서 출력된 키 값 및 외부 제어신호에 응답하여 상기 확장 메모리 부를 제어하는 확장 메모리 제어부

를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 13】

제 12 항에 있어서, 상기 레지스터는

제 1 제어신호에 응답하여 제1 노드 및 제2 노드 중에서 전압이 높은 노드의 전압을 양의 전압으로 증폭하여 고정시키는 제1 증폭부;

제2 제어신호에 응답하여 상기 제1 노드 및 상기 제2 노드 중에서 전압이 낮은 노드의 전압을 그라운드 전압으로 증폭하여 고정시키는 제2 증폭부;

제 3 제어신호에 응답하여 상기 제1 노드 및 제2 노드에 데이터 신호를 제공하는 입력부; 및

제4 제어신호에 응답하여 상기 제1 노드 및 제2 노드에 제공된 신호를 저장하며 전원이 없는 상태에서 저장된 정보를 유지할 수 있는 저장부

를 포함하고

상기 제2 노드의 전압을 외부로 출력하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 14】

제 13 항에 있어서, 상기 제1 증폭부는

게이트에 상기 제1 제어신호가 입력되고, 소스가 양의 전원에 연결된 제1 PMOS 트랜지스터;

게이트가 상기 제1 노드와 연결되고, 소스가 상기 제1 PMOS 트랜지스터의 드레인과 연결되며, 드레인이 상기 제2 노드에 연결된 제2 PMOS 트랜지스터; 및

게이트가 상기 제2 노드와 연결되고, 소스가 상기 제1 PMOS 트랜지스터의 드레인과 연결되며, 드레인이 상기 제1 노드에 연결된 제3 PMOS 트랜지스터

를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 15】

제 13 항에 있어서, 상기 제2 증폭부는

게이트가 상기 제1 노드와 연결되고, 드레인이 상기 제2 노드와 연결된 제1 NMOS 트랜지스터;

게이트가 상기 제2 노드와 연결되고, 드레인이 상기 제1 노드와 연결된 제2 NMOS 트랜지스터; 및

게이트에 상기 제2 제어신호가 입력되고, 드레인이 상기 제1 NMOS 트랜지스터의 소스 및 제2 NMOS 트랜지스터의 소스와 연결되며, 소스는 그라운드와 연결된 제3 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 16】

제 13 항에 있어서, 상기 입력부는

게이트에 상기 데이터 신호와 상기 제3 제어신호를 NAND 연산한 결과가 입력되고, 소스가 양의 전원에 연결되며, 드레인이 상기 제2 노드에 연결된 제1 PMOS 트랜지스터;

게이트에 상기 데이터 신호와 상기 제3 제어신호를 AND 연산한 결과가 입력되고, 소스가 그라운드에 연결되며, 드레인이 상기 제1 노드에 연결된 제1 NMOS 트랜지스터;

게이트에 상기 데이터 신호와 반대 레벨의 신호와 상기 제3 제어신호를 AND 연산한 결과가 입력되고, 소스가 그라운드에 연결되며, 드레인이 상기 제2 노드에 연결된 제2 NMOS 트랜지스터; 및

게이트에 상기 데이터 신호와 반대 레벨의 신호와 상기 제3 제어신호를 NAND 연산한 결과가 입력되고, 소스가 양의 전원에 연결되며, 드레인이 상기 제1 노드에 연결된 제2 PMOS 트랜지스터

를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 17】

제 13 항에 있어서, 상기 저장부는

제 1 단에 상기 제4 제어신호가 입력되고 제2 단이 상기 제1 노드와 연결된 제1 강유전체 커패시터;

제1 단에 상기 제4 제어신호가 입력되고 제2 단이 상기 제2 노드와 연결된 제2 강유전체 커패시터;

제 1 단이 상기 제1 노드와 연결되고 제2 단이 그라운드로 연결된 제3 강유전체 커패시터; 및

제1 단이 상기 제2 노드와 연결되고 제2 단이 그라운드로 연결된 제4 강유전체 커패시터

를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 18】

리턴던트 디코더에서 내부 구제 활성화 신호가 발생하면 메모리 장치의 프로그램 과정에서 발견된 제1 페일 셀을 비활성화하고 상기 제1 페일 셀을 구제하는 리턴던시 셀을 활성화하는 리턴던시 구제회로;

상기 메모리 장치를 사용하는 도중에 제2 페일 셀에 접근하는 경우 활성화되어 입력되는 외부 활성화 신호에 응답하여 구제 제어신호를 출력하는 ECC(Error Correcting Circuit) 제어부; 및

상기 구제 제어신호에 응답하여 상기 제2 페일 셀을 구제하는 확장 메모리 부를 포함하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【청구항 19】

제 18 항에 있어서, 상기 확장 메모리 부는

상기 페일 셀의 어드레스 및 상기 페일 셀을 대체할 셀의 어드레스를 대응하여 기억하는 제1 확장 메모리 부; 및

상기 셀 어레이 블록에 포함된 페일 셀을 대체하는 셀을 적어도 하나 이상 포함하는 제2 확장 메모리 부

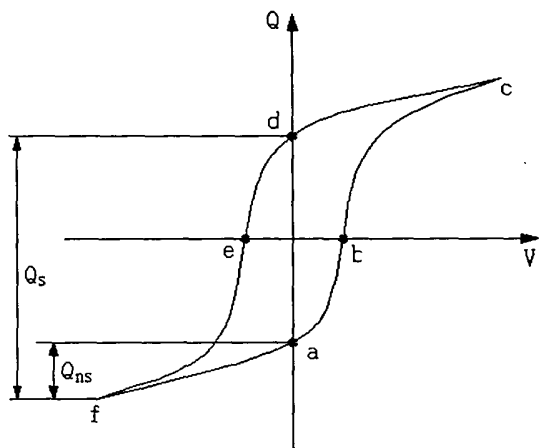
를 포함하고,

상기 ECC 제어부는 상기 외부 제어신호가 활성화 된 경우에 상기 제1 확장 메모리 부를 참조하여 상기 셀 어레이 블록에 포함된 페일 셀을 비활성화하고, 상기 제2 확장

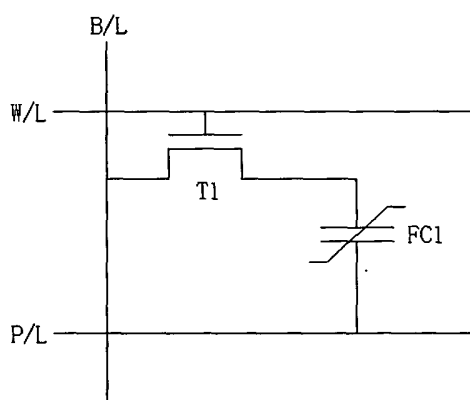
메모리 부에 포함된 상기 페이지 셀을 대체하는 셀을 활성화하는 것을 특징으로 하는 확장 메모리 부를 구비한 강유전체 메모리 장치.

【도면】

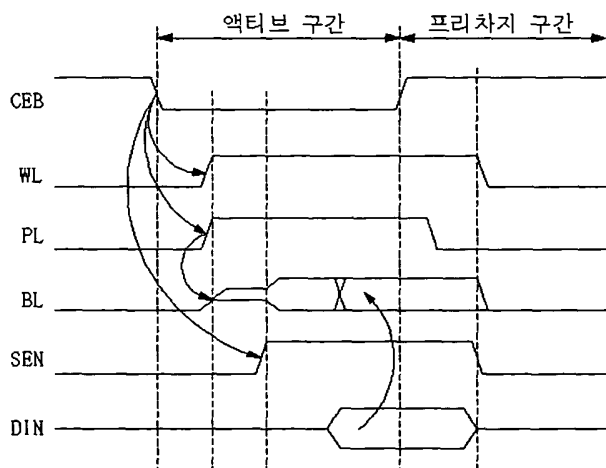
【도 1】



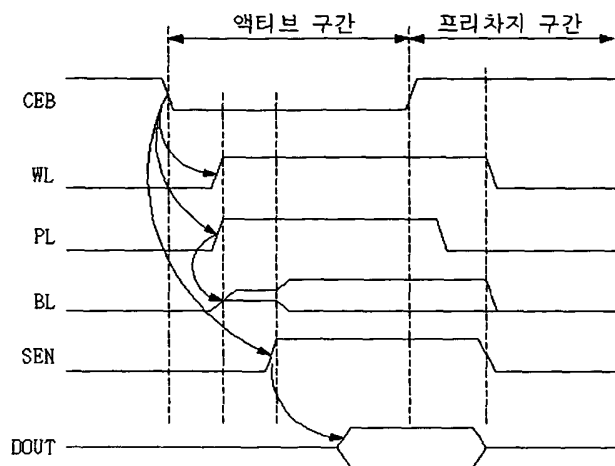
【도 2】



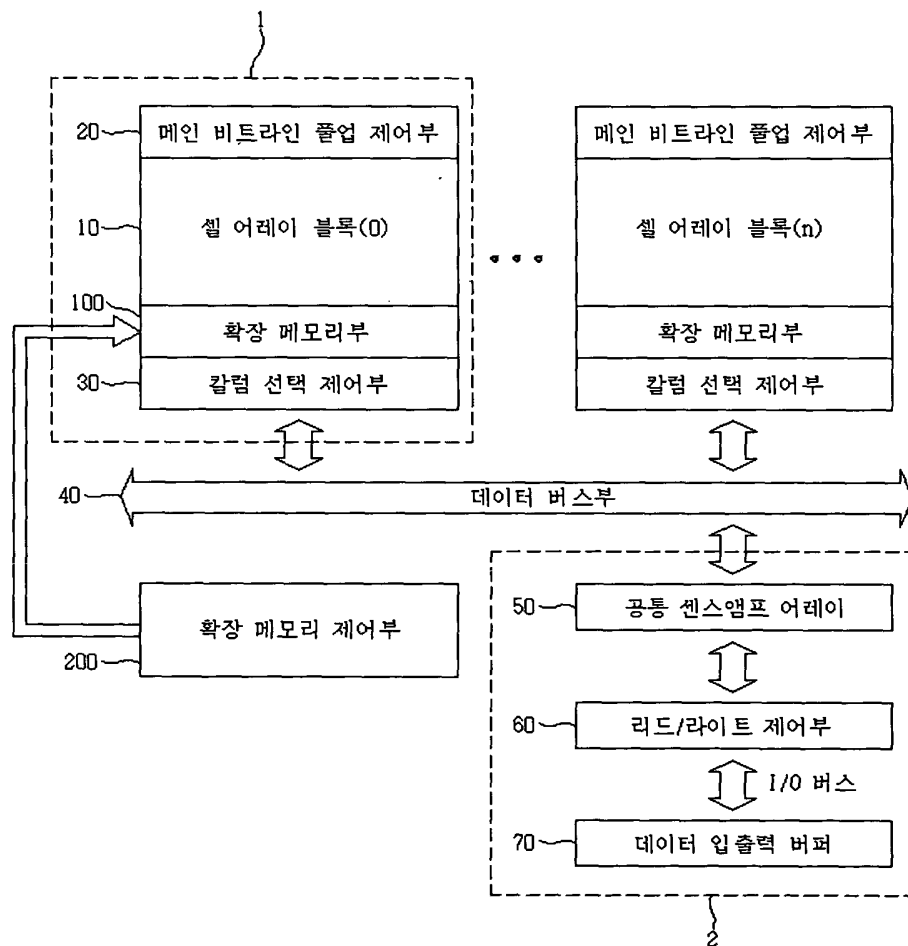
【도 3a】



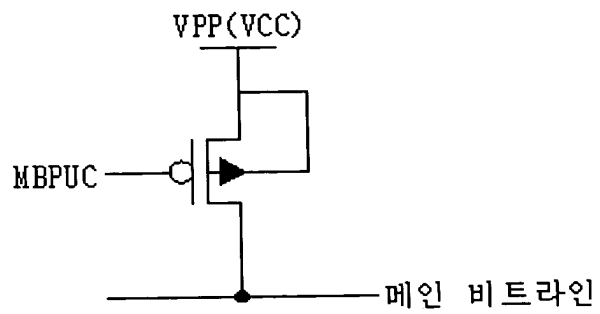
【도 3b】



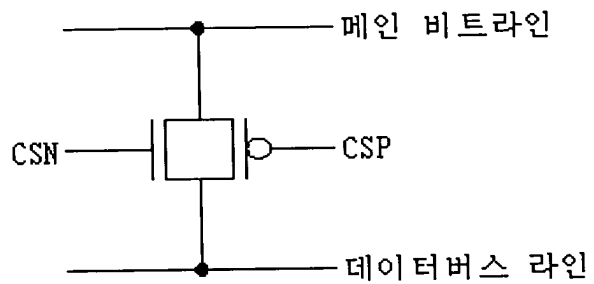
【도 4】



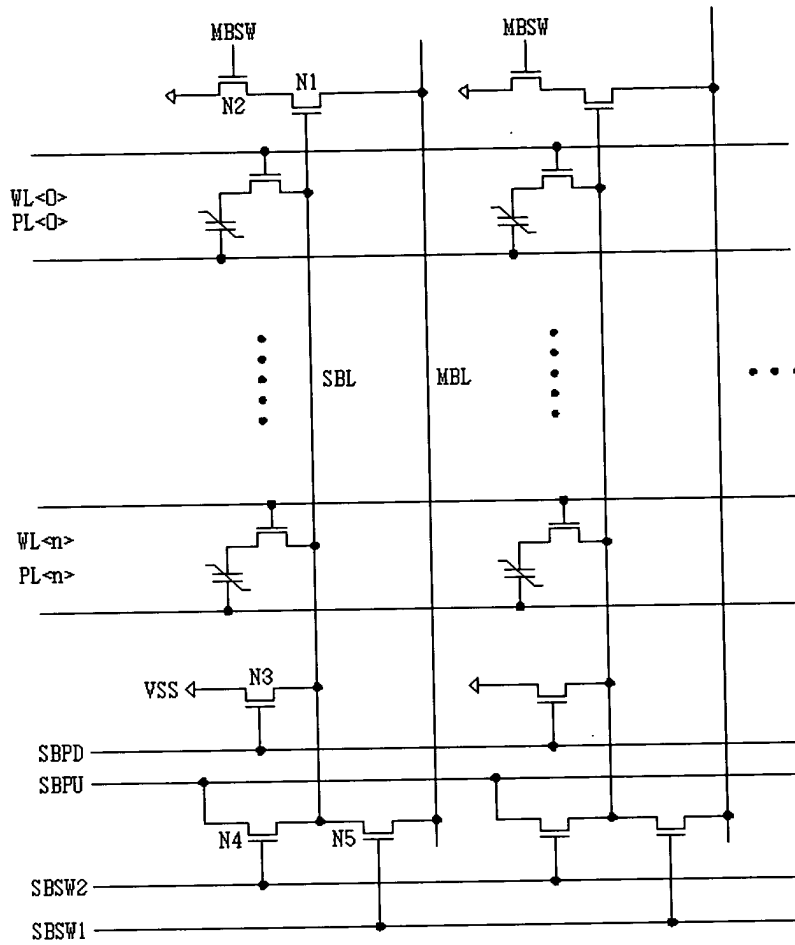
【도 5】



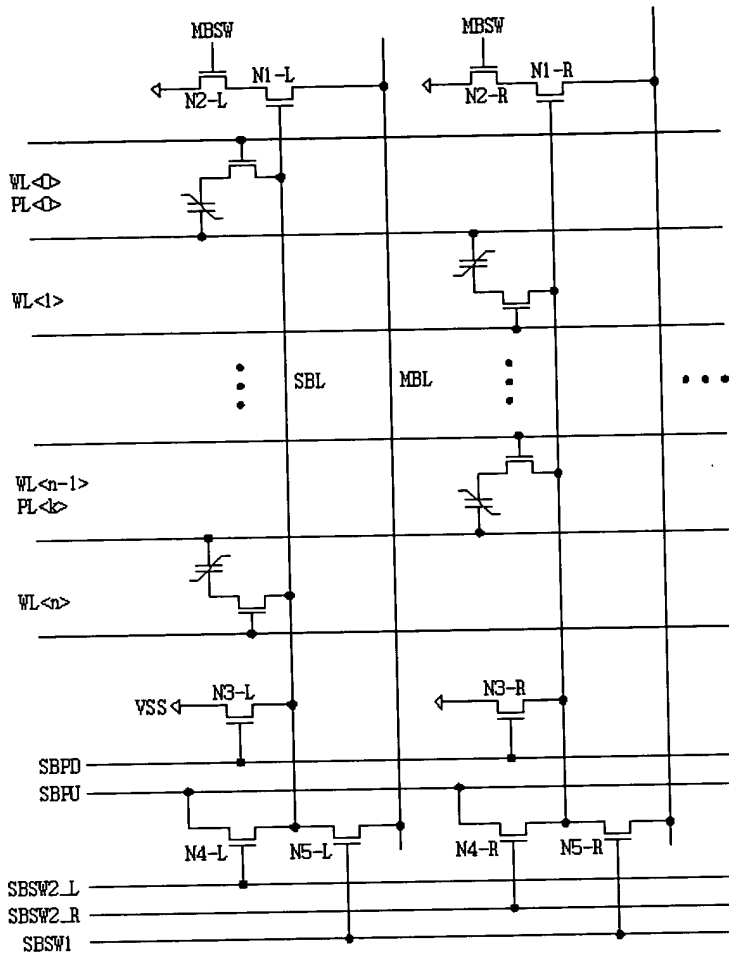
【도 6】



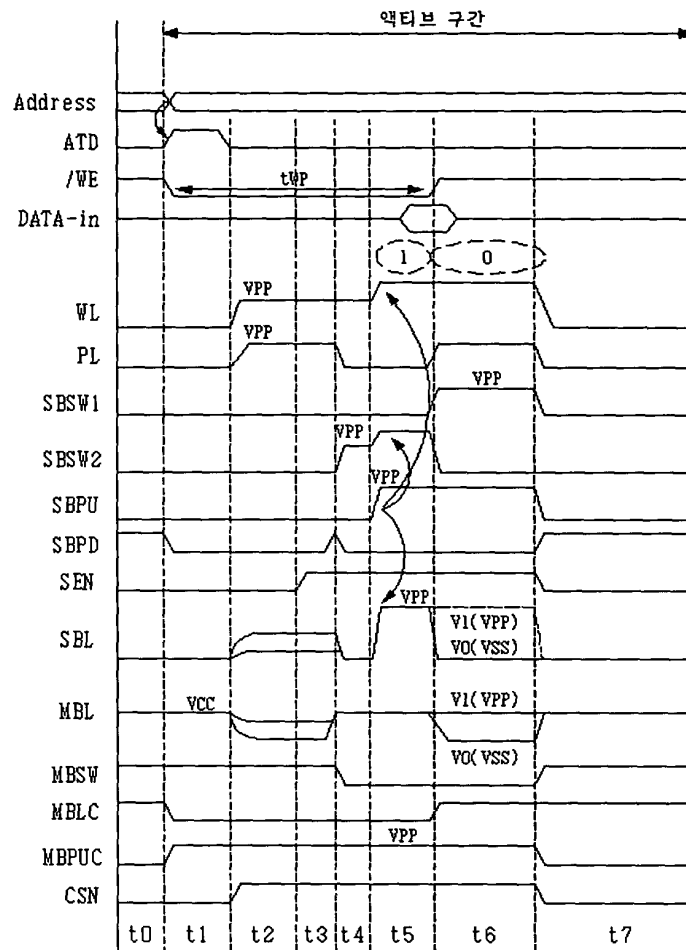
【도 7a】



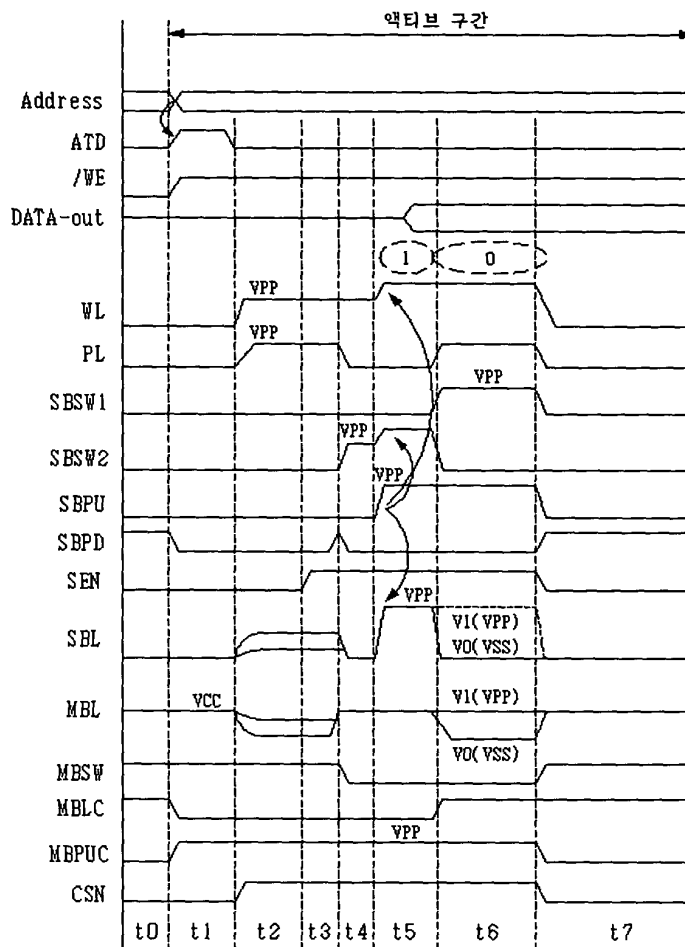
【도 7b】



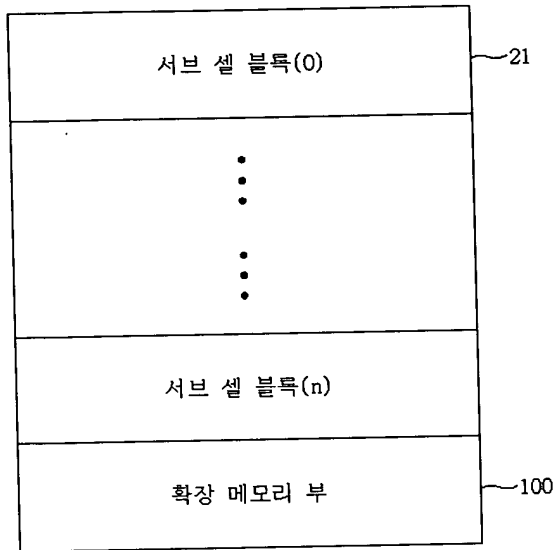
【도 8a】



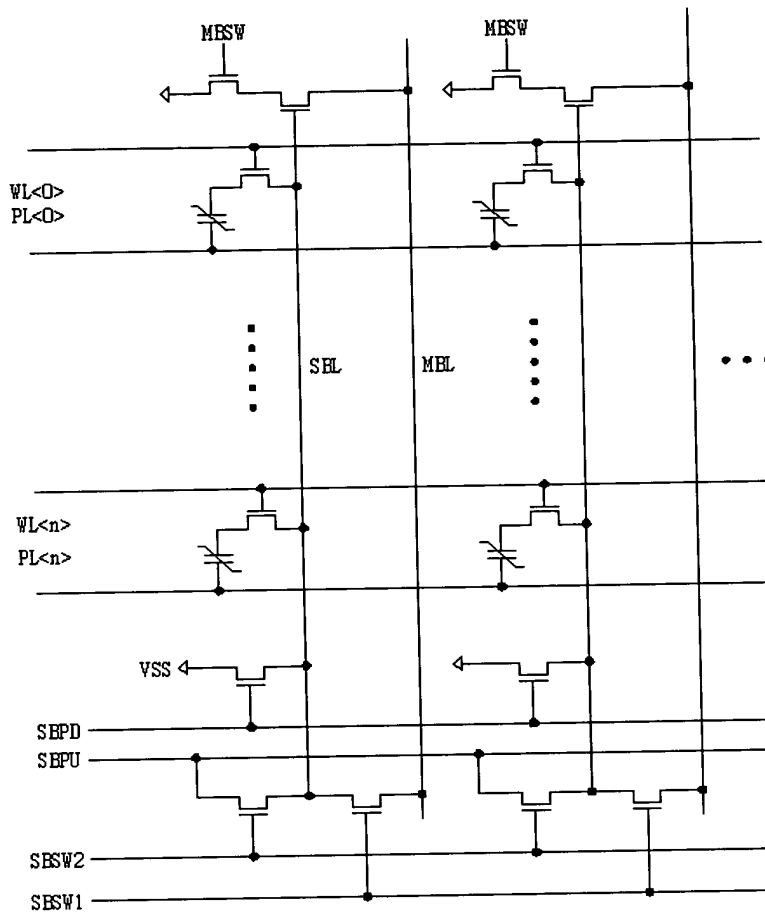
【도 8b】



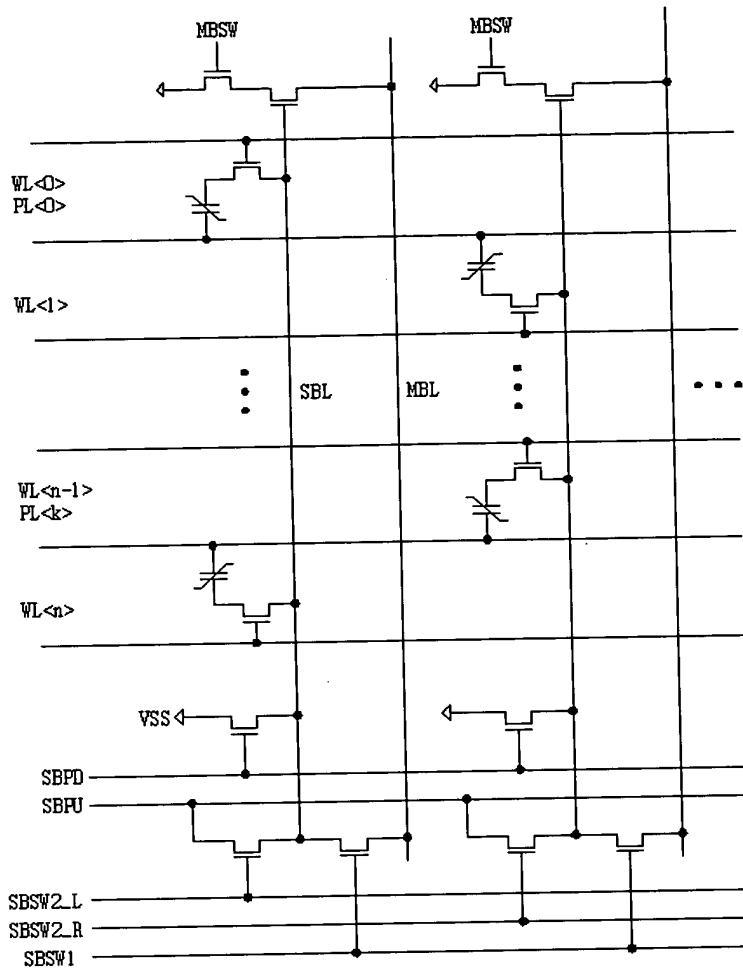
【도 9】



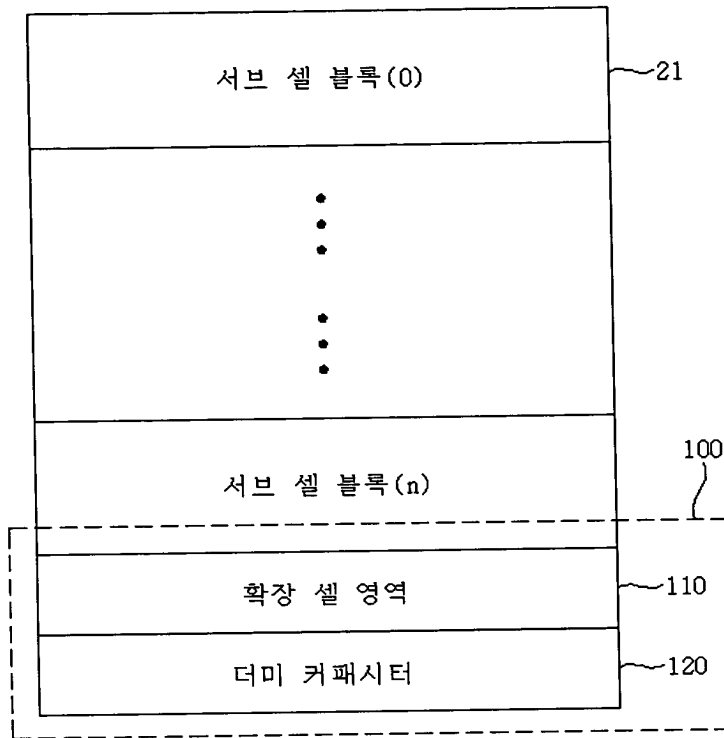
【도 10a】



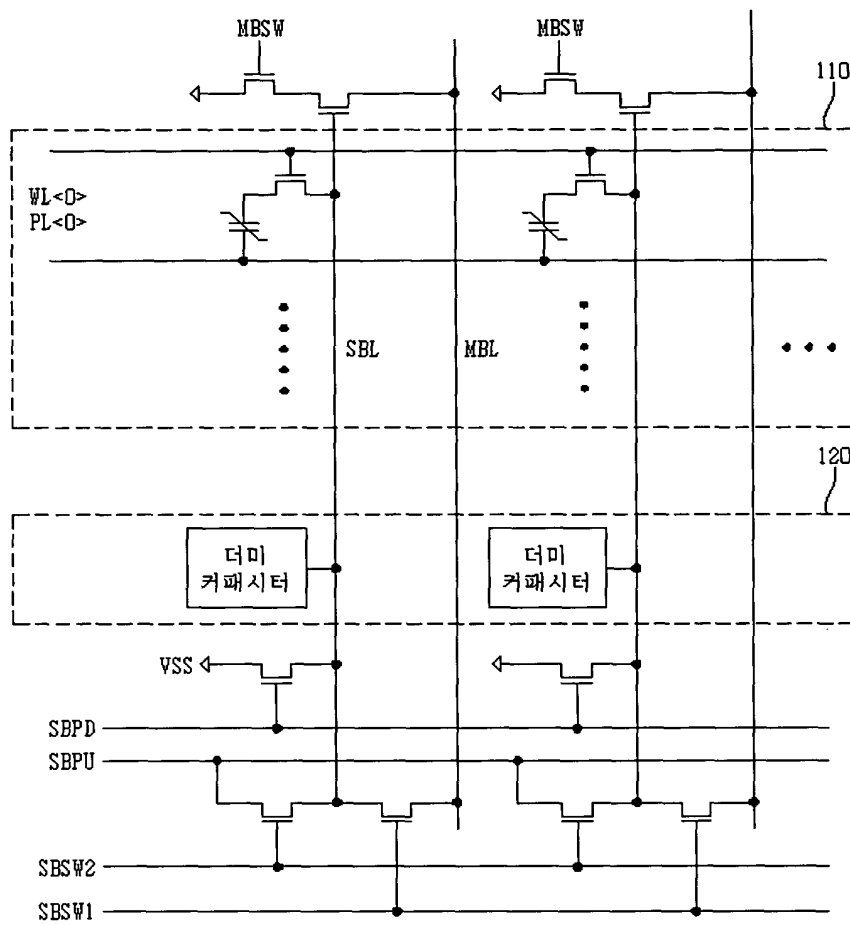
【도 10b】



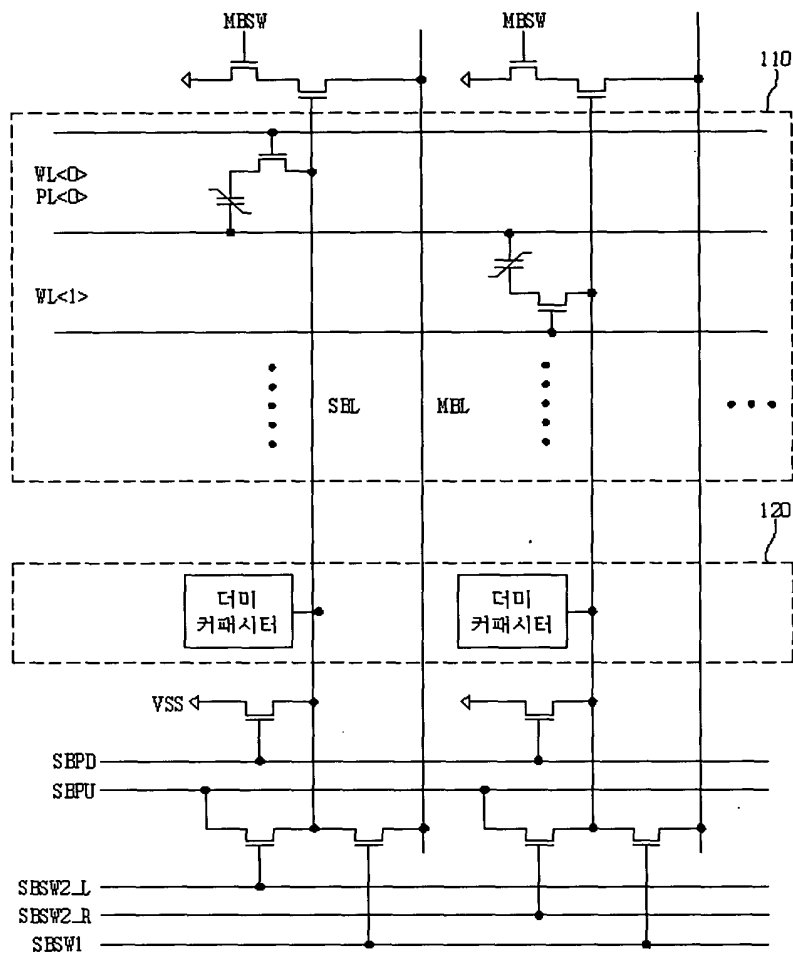
【도 11】



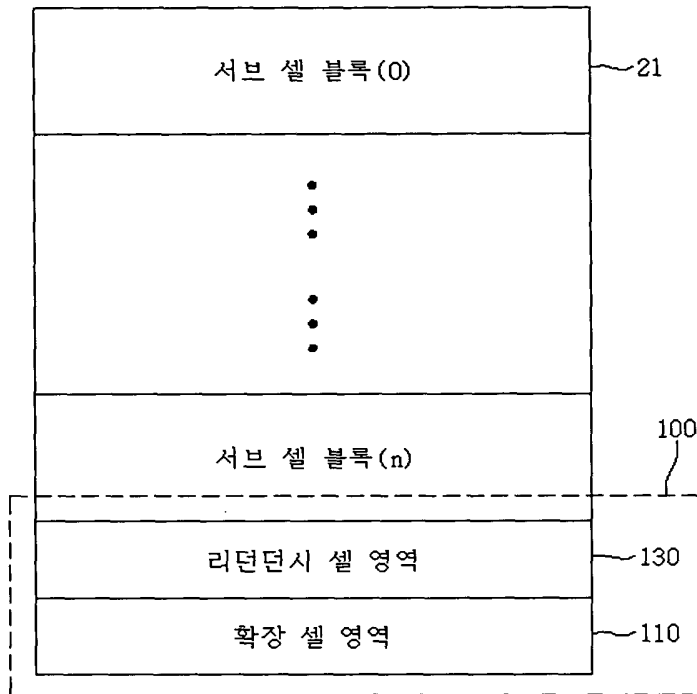
【도 12a】



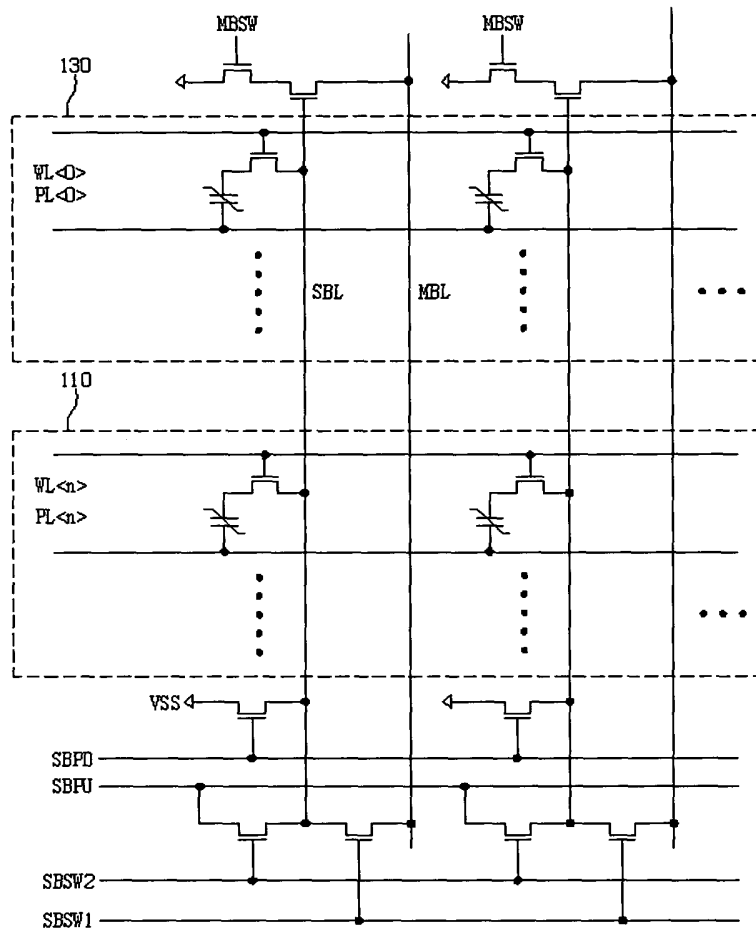
【도 12b】



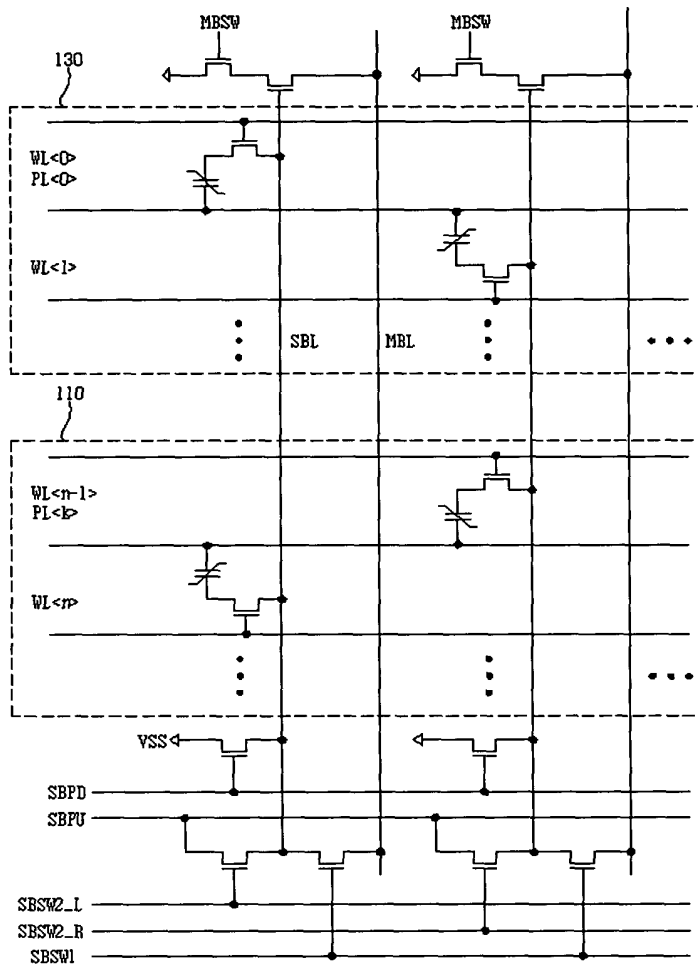
【도 13】



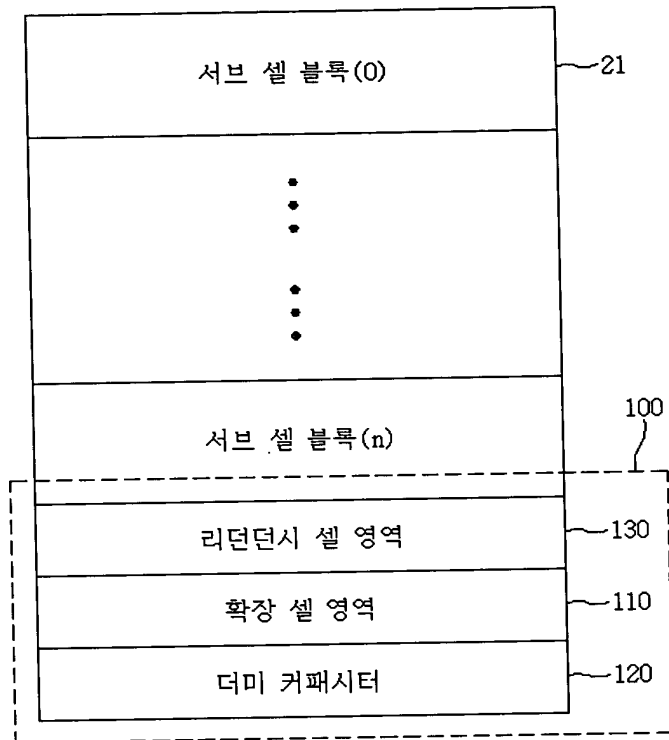
【도 14a】



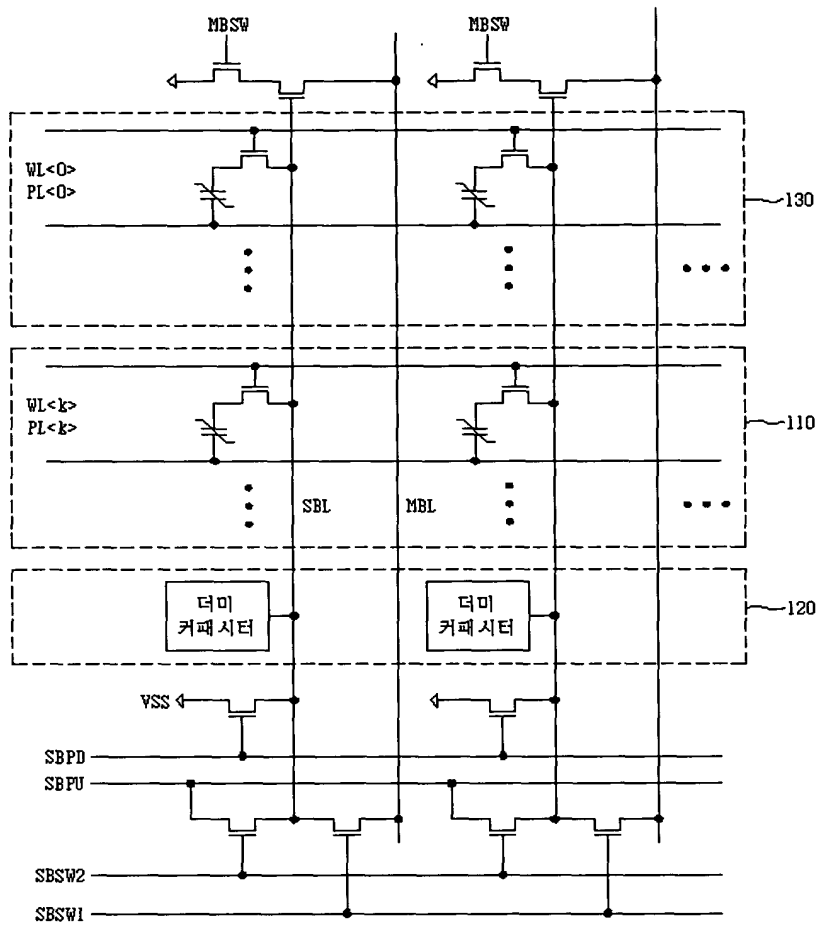
【도 14b】



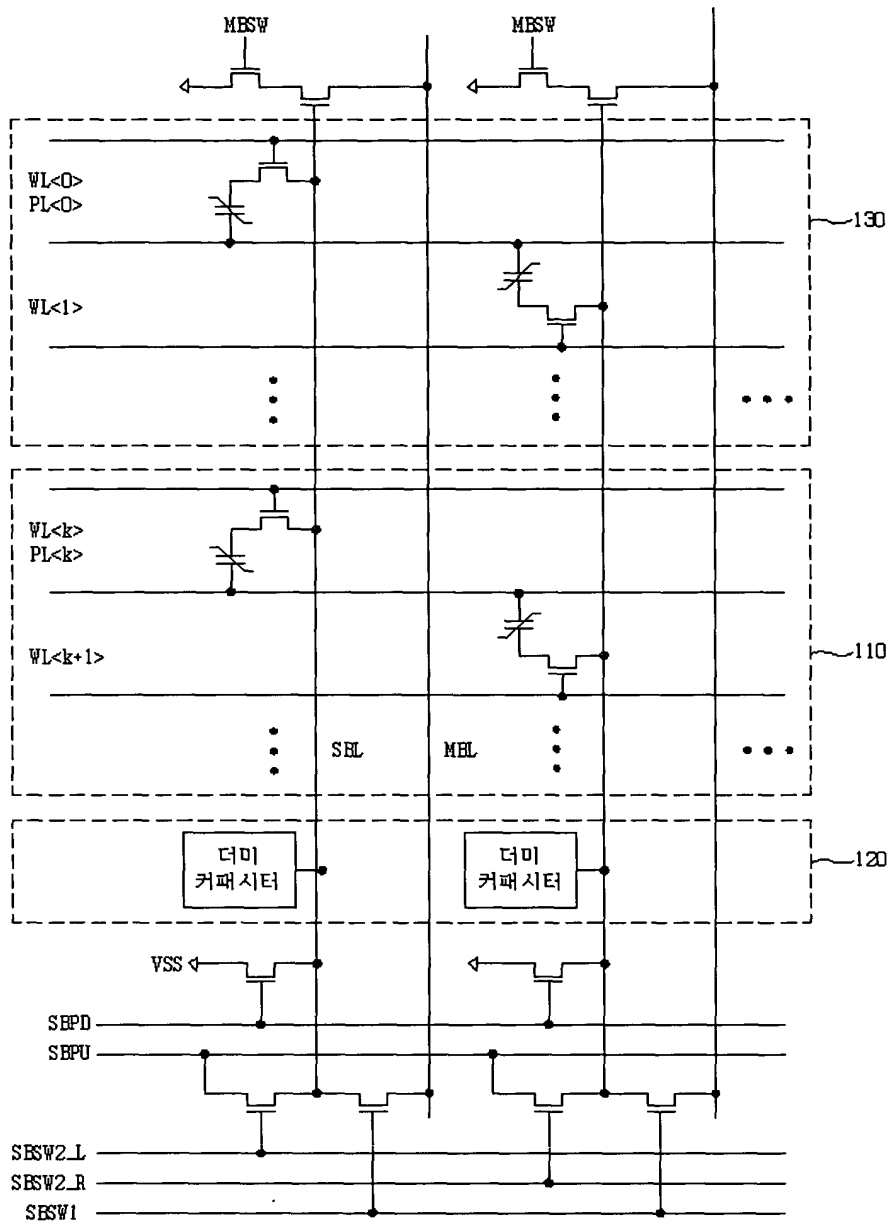
【도 15】



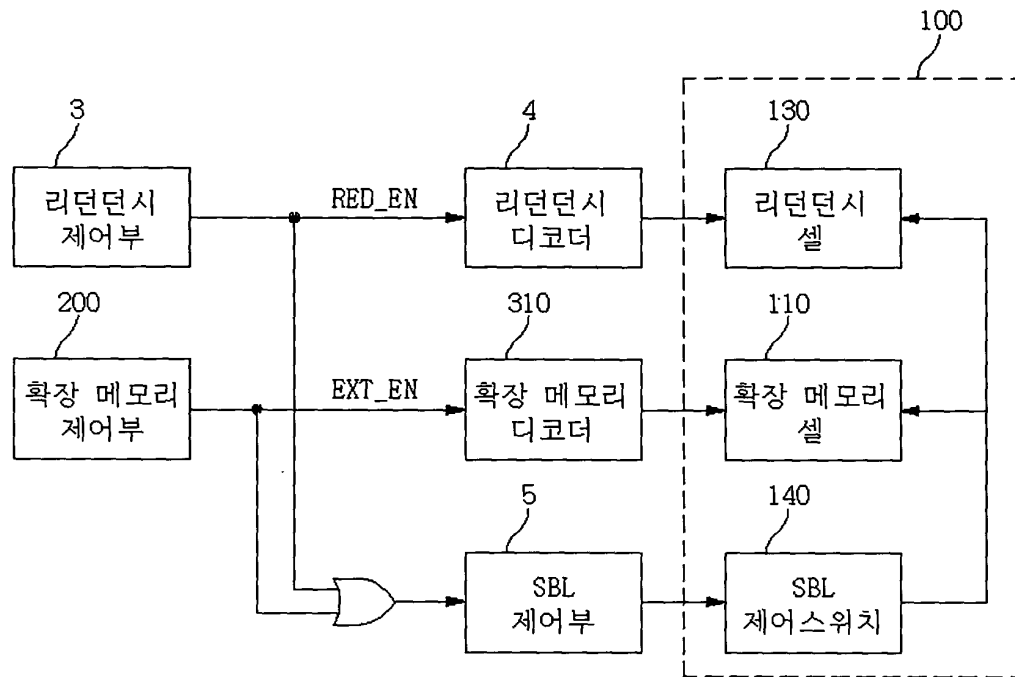
【도 16a】



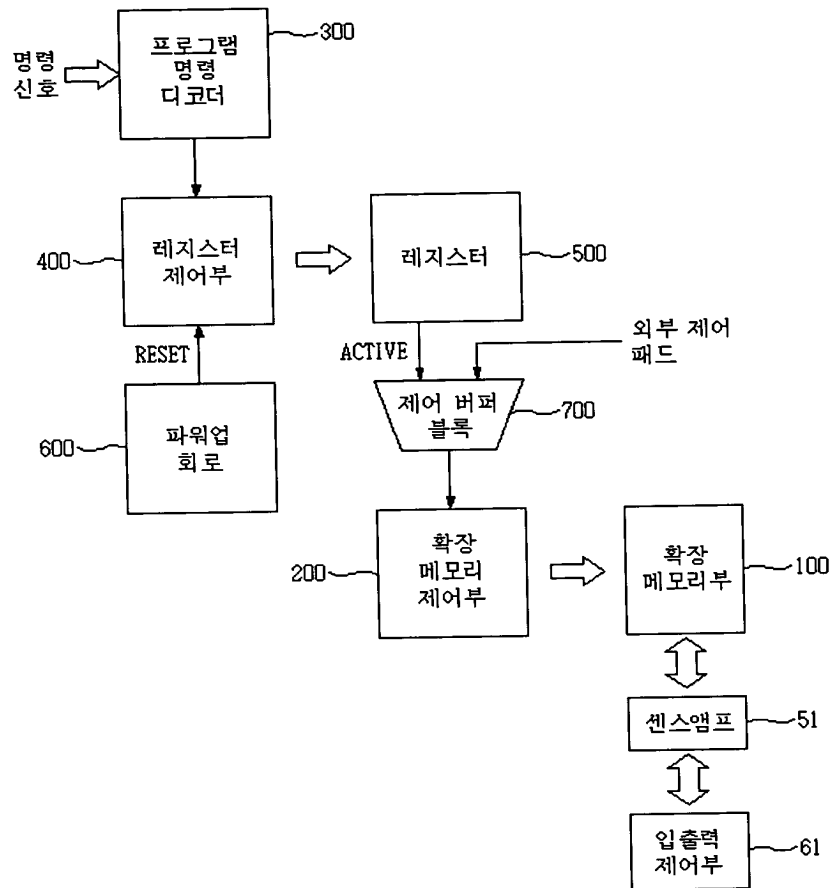
【도 16b】



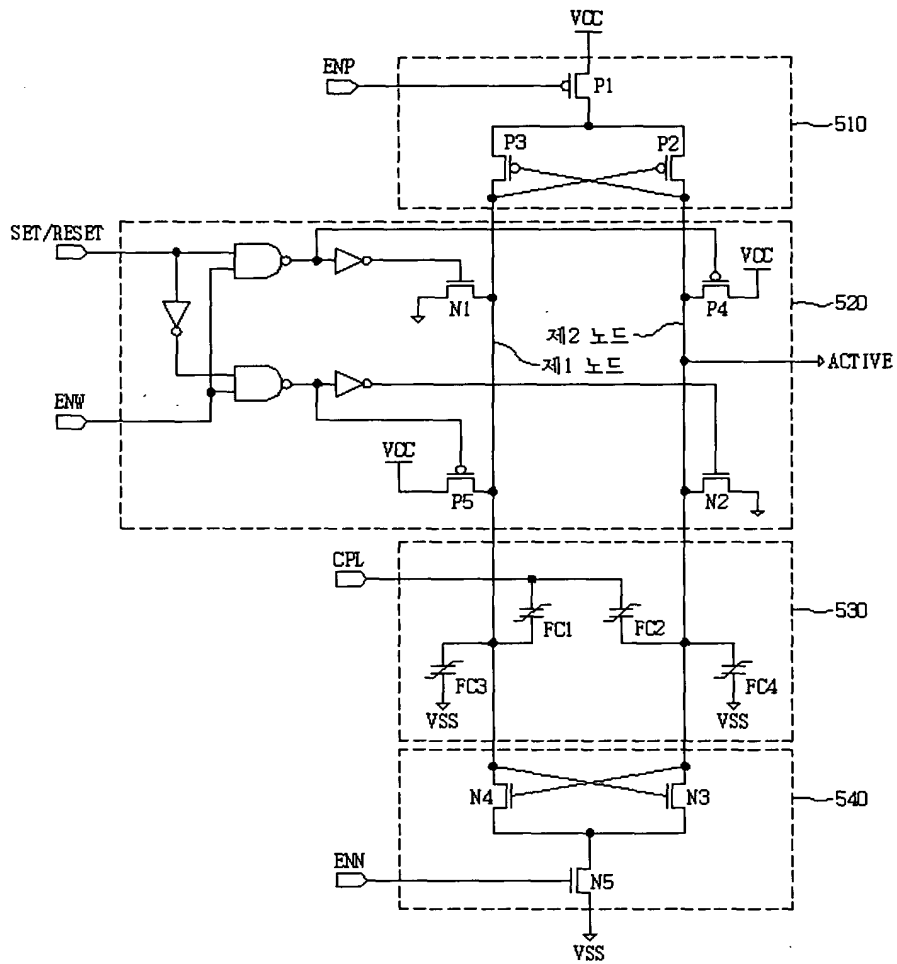
【도 17】



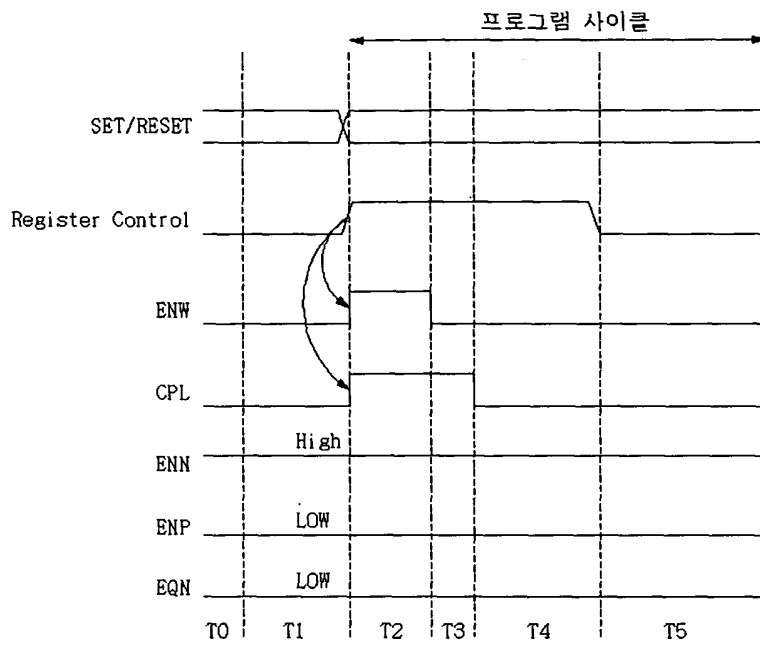
【도 18】



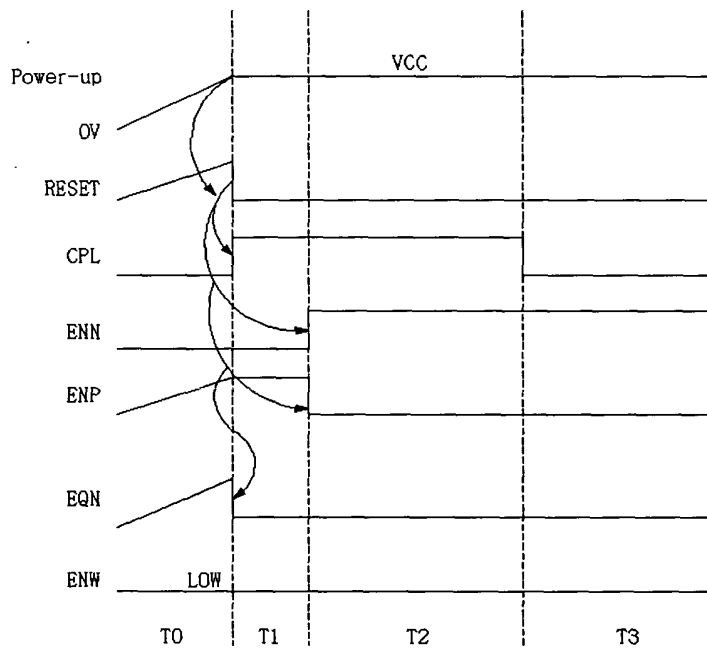
【도 19】



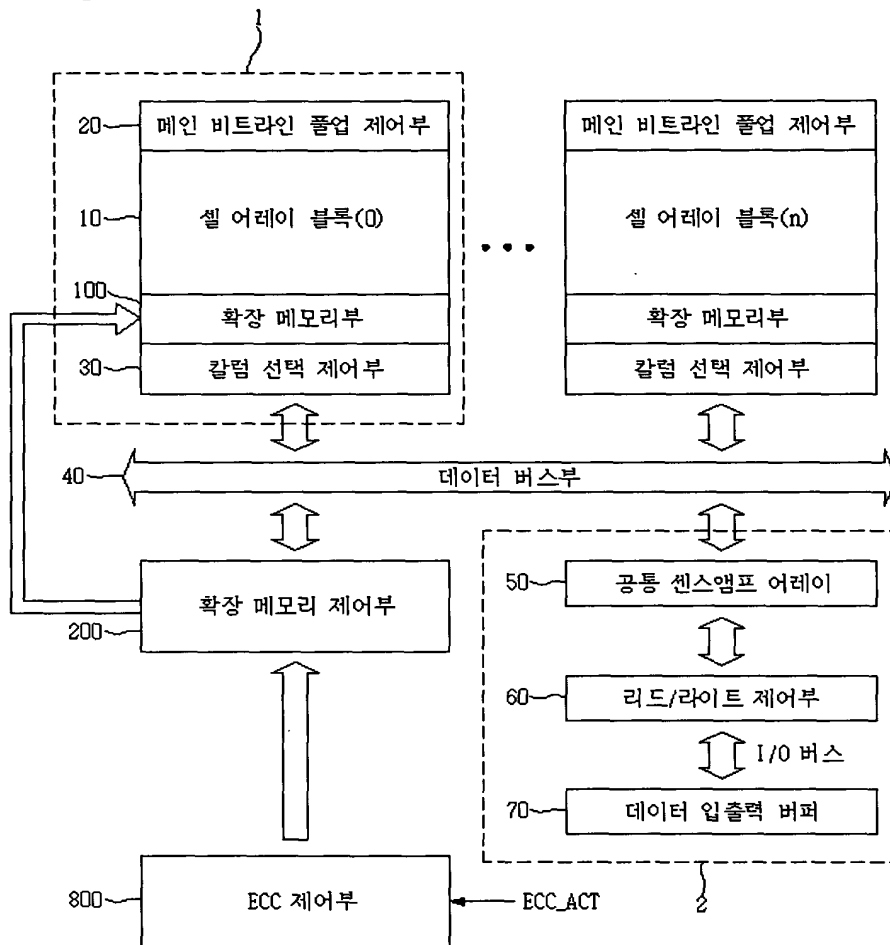
【도 20a】



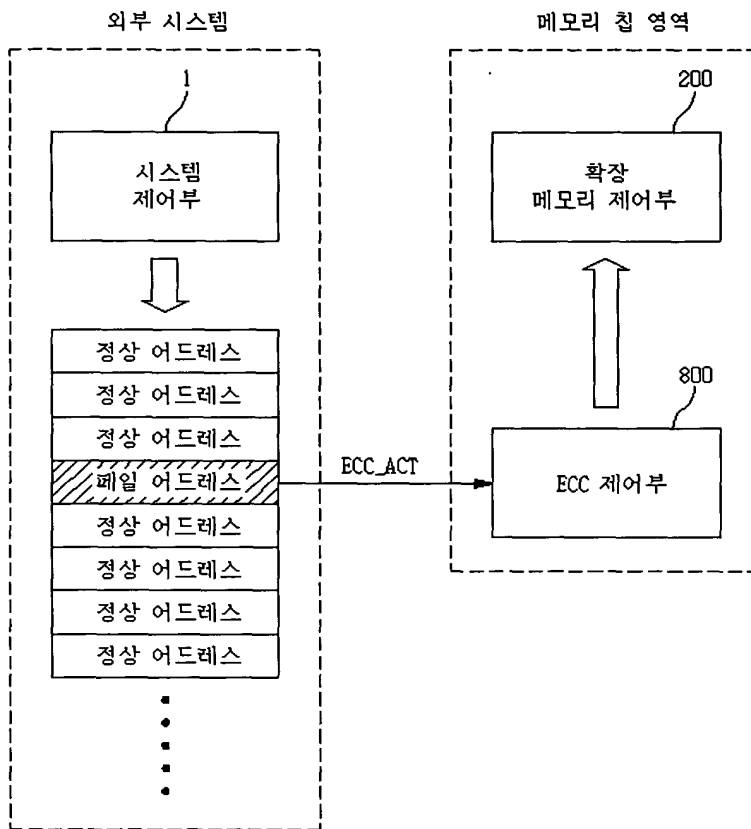
【도 20b】



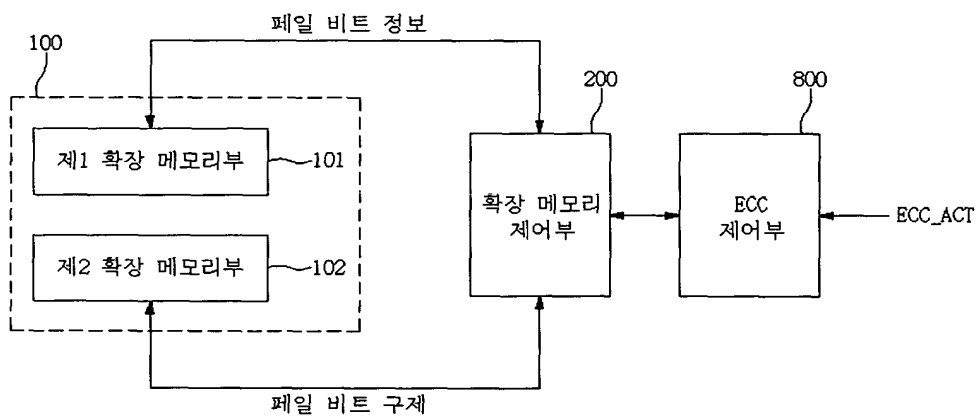
【도 21】



【도 22】



【도 23】



【도 24】

